

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

WO 2020/013595 A1

(43) 국제공개일
2020년 1월 16일 (16.01.2020) WIPO | PCT

- (51) 국제특허분류:
H01L 27/15 (2006.01) H01L 33/00 (2010.01)
H01L 33/62 (2010.01) H01L 33/24 (2010.01)
H01L 33/06 (2010.01)
- (21) 국제출원번호: PCT/KR2019/008481
- (22) 국제출원일: 2019년 7월 10일 (10.07.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2018-0081804 2018년 7월 13일 (13.07.2018) KR
- (71) 출원인: 삼성전자주식회사 (SAMSUNG ELECTRONICS CO., LTD.) [KR/KR]; 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).
- (72) 발명자: 강진희 (KANG, Jinhee); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 오타지츠오 (OTA, Jitsuo); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).
- (74) 대리인: 김태헌 등 (KIM, Tae-hun et al.); 06626 서울시 서초구 강남대로 343 신덕빌딩 9층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

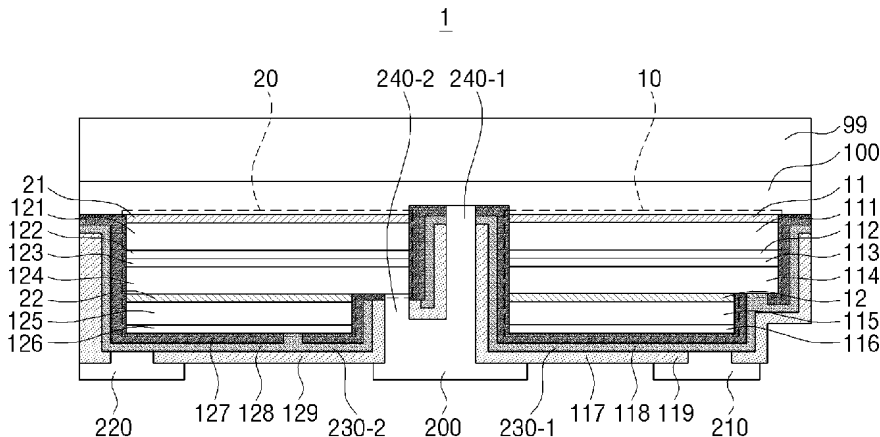
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: LIGHT EMITTING ELEMENT, LIGHT EMITTING ELEMENT MANUFACTURING METHOD, AND DISPLAY DEVICE INCLUDING LIGHT EMITTING ELEMENT

(54) 발명의 명칭: 발광 소자, 발광 소자의 제조 방법 및 발광 소자를 포함하는 디스플레이 장치



(57) Abstract: A light emitting element, a manufacturing method therefor, and a display device including the light emitting element are disclosed. Particularly, disclosed are a multi-tunnel junction light emitting element having two or more light emitting regions, which are horizontally separated from each other, and a manufacturing method therefor, and disclosed is a display device which includes the light emitting element so as to efficiently arrange pixels and independently control the light emitting regions.

(57) 요약서: 발광 소자 및 그 제조 방법, 그리고 위와 같은 발광 소자를 포함하는 디스플레이 장치가 개시된다. 구체적으로, 본 개시는 수평으로 구분된 두 개 이상의 발광 영역을 갖는 다중 터널 접합 발광 소자 및 그 제조방법에 대한 것이며, 또한 위와 같은 발광 소자를 포함하여 효율적으로 화소를 배열하고, 발광 영역을 독립적으로 제어할 수 있는 디스플레이 장치에 관한 것이다.

WO 2020/013595 A1

명세서

발명의 명칭: 발광 소자, 발광 소자의 제조 방법 및 발광 소자를 포함하는 디스플레이 장치

기술분야

- [1] 본 개시는 수평으로 구분된 두 개 이상의 발광 영역을 갖는 다중 터널 접합 발광 소자 및 그 제조 방법, 그리고 위와 같은 발광 소자를 포함하여 효율적으로 화소를 배열하고, 발광 영역을 독립적으로 제어할 수 있는 디스플레이 장치에 관한 것이다.

배경기술

- [2] 근래 LED(Light Emitting Diode) 분야에 있어서는 LED 소자 내부의 광자효율(IQE: Internal Quantum Efficiency)의 증가, 광학 손실의 최소화 등의 목적으로 다중 터널 접합(Multi-Tunnel Junction) 구조를 가지는 LED가 개발되고 있다.
- [3] 그러나, 기존의 다중 터널 접합 LED의 구조의 경우, 전극의 형성 공정에 따라 단일 소자 내 발광 면적이 축소된다는 점, 색상 별 발광 효율 차이에 기인하여 전력 소모가 증가한다는 점, 단일 소자의 다색 구현에 한계가 있어 디스플레이 장치의 제작을 위한 공정이 복잡해진다는 점, 제작 공정이 복잡해짐에 따라 불량률 및 수리 공정 비용의 증가가 수반된다는 점 등이 한계점으로 지적되고 있다.
- [4] 따라서, 기존의 구조가 가지는 한계성을 극복하고, 저전력, 고집적, 고해상도의 특성을 갖춘 디스플레이 장치의 제작에 적합한 발광 소자에 대한 필요성이 대두되고 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 개시는 상술한 문제점을 극복하기 위하여 안출된 것으로서, 수평으로 구분된 두 개 이상의 발광 영역을 갖는 다중 터널 접합 발광 소자 및 그 제조 방법, 그리고 위와 같은 발광 소자를 포함하여 효율적으로 화소를 배열하고, 발광 영역을 독립적으로 제어할 수 있는 디스플레이 장치를 제공하기 위한 것이다.

과제 해결 수단

- [6] 상술한 목적을 달성하기 위한 본 개시의 일 실시 예에 따르면, 발광 소자는 제1 발광층 및 상기 제1 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제1 발광셀, 상기 제1 발광층과 상이한 광을 방출하는 제2 발광층 및 상기 제2 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제2 발광셀, 상기 제1 발광셀 및 상기 제2 발광셀이 전기적으로 구분될 수 있도록 상기 제1 발광셀 및 상기 제2 발광셀 상에 구비되는 절연층, 상기 제1 발광셀 및

상기 제2 발광셀에 전기적으로 연결되는 공통 전극, 상기 제1 발광셀에 전기적으로 연결되는 제1 화소 전극 및 상기 제2 발광셀에 전기적으로 연결되는 제2 화소 전극, 을 포함하고, 상기 제1 발광셀의 발광 영역 및 상기 제2 발광셀의 발광 영역은 상기 공통 전극에 의하여 수평으로 구분된다.

- [7] 여기서, 상기 복수의 도전성 반도체 층은 상기 제1 발광층 하부에 적층되는 제1 n-GaN층, 상기 제1 발광층 상부에 적층되는 제1 p-GaN층, 상기 제1 p-GaN층 상부에 순차적으로 적층되는 p+-GaN층 및 n+-GaN층, 상기 제2 발광층 하부에 적층되는 제2 n-GaN층 및 상기 제2 발광층 상부에 적층되는 제2 p-GaN층을 포함할 수 있다.
- [8] 한편, 상기 절연층 상에 구비되는 반사층은 상기 반사층 상에 구비되는 패시베이션층, 상기 절연층에 형성되는 제1 콘택트 홀 및 상기 절연층, 상기 반사층 및 상기 패시베이션층에 형성되는 제2 콘택트 홀, 을 더 포함할 수 있고, 상기 제1 화소 전극 및 상기 제2 화소 전극은 상기 반사층 및 상기 제1 콘택트 홀을 통하여 상기 복수의 도전성 반도체층과 전기적으로 연결될 수 있으며, 상기 공통 전극은 상기 제2 콘택트 홀을 통하여 상기 복수의 도전성 반도체층과 전기적으로 연결될 수 있다.
- [9] 한편, 상기 제1 발광셀의 발광 면적은 상기 제2 발광셀의 발광 면적과 상이할 수 있다.
- [10] 한편, 상기 제1 발광층 및 제2 발광층은 다중 양자 우물 구조일 수 있다.
- [11] 한편, 발광소자는 제3 발광층 및 상기 제3 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제3 발광셀 및 상기 제3 발광셀에 전기적으로 연결되는 제3 화소 전극을 더 포함할 수 있고, 상기 제3 발광층이 방출하는 광은 상기 제1 발광층이 방출하는 광 및 상기 제2 발광층이 방출하는 광 중 적어도 하나와 상이하며, 상기 공통 전극은 상기 제1 발광셀, 상기 제2 발광셀 및 상기 제3 발광셀에 전기적으로 연결될 수 있으며, 상기 제1 발광셀의 발광 영역, 상기 제2 발광셀의 발광 영역 및 상기 제3 발광셀의 발광 영역은 상기 공통 전극에 의하여 수평으로 구분될 수 있다.
- [12] 한편, 본 개시의 일 실시 예에 따른 디스플레이 장치는 발광 소자 및 스위칭 소자를 포함하는 디스플레이 패널 및 상기 디스플레이 패널을 제어하기 위한 프로세서를 포함한다.
- [13] 그리고, 상기 발광 소자는 제1 발광층 및 상기 제1 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제1 발광셀, 상기 제1 발광층과 상이한 광을 방출하는 제2 발광층 및 상기 제2 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제2 발광셀, 상기 제1 발광셀 및 상기 제2 발광셀이 전기적으로 구분될 수 있도록 상기 제1 발광셀 및 상기 제2 발광셀 상에 구비되는 절연층, 상기 제1 발광셀 및 상기 제2 발광셀에 전기적으로 연결되는 공통 전극, 상기 제1 발광셀에 전기적으로 연결되는 제1 화소 전극 및 상기 제2 발광셀에 전기적으로 연결되는 제2 화소 전극을 포함하고, 제1 발광셀의 발광

영역 및 상기 제2 발광셀의 발광 영역은 상기 공통 전극에 의하여 수평으로 구분된다.

- [14] 여기서, 상기 디스플레이 패널은 상기 제1 화소 전극에 전기적으로 연결되는 제1 스위칭 소자 및 상기 제2 화소 전극에 전기적으로 연결되는 제2 스위칭 소자를 포함할 수 있고, 상기 프로세서는 기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 통하여, 상기 제1 발광셀 및 상기 제2 발광셀의 구동을 독립적으로 제어할 수 있다.
- [15] 한편, 상기 프로세서는 상기 제1 발광셀 및 상기 제2 발광셀 중 적어도 하나에 불량 화소가 발생하는 경우, 상기 불량 화소를 대체하도록 상기 불량 화소가 발생된 발광 소자에 인접한 발광 소자에 포함되는 제1 발광셀 및 제2 발광셀 중 적어도 하나의 구동을 제어할 수 있다.
- [16] 한편, 상기 제1 발광셀의 발광 면적은 상기 제2 발광셀의 발광 면적과 상이할 수 있다.
- [17] 한편, 본 개시의 일 실시 예에 따른 발광 소자의 제조 방법은 기판 상에 제1 발광층, 상기 제1 발광층과 상이한 광을 방출하는 제2 발광층 및 상기 제1 발광층의 상부와 하부에 적층되는 복수의 도전성 반도체층을 증착하는 단계, 상기 제1 발광층 및 복수의 도전성 반도체층을 포함하는 제1 발광셀을 형성하는 단계, 상기 제2 발광층 및 복수의 도전성 반도체층을 포함하며, 상기 제1 발광셀과 수평으로 구분되는 제2 발광셀을 형성하는 단계, 상기 제1 발광셀 및 상기 제2 발광셀이 전기적으로 구분될 수 있도록 상기 제1 발광셀 및 상기 제2 발광셀 상에 절연층을 증착하는 단계, 상기 제1 발광셀과 상기 제2 발광셀 사이의 구분된 영역에 상기 제1 발광셀 및 상기 제2 발광셀에 전기적으로 연결되는 공통 전극을 형성하는 단계, 상기 제1 발광셀에 전기적으로 연결되는 제1 화소 전극을 형성하는 단계 및 상기 제2 발광셀에 전기적으로 연결되는 제2 화소 전극을 형성하는 단계를 포함한다.
- [18] 여기서, 상기 제1 발광층, 제2 발광층 및 복수의 도전성 반도체층을 증착하는 단계는 기판상에 제1 n-GaN층을 증착하는 단계, 상기 제1 n-GaN층 상부에 제1 발광층을 증착하는 단계, 상기 제1 발광층 상부에 제1 p-GaN층, p+-GaN층 및 n+-GaN층을 순차적으로 증착하는 단계, 상기 n+-GaN층 상부에 제2 n-GaN층을 증착하는 단계,
- [19] 상기 제2 n-GaN층 상부에 제2 발광층을 증착하는 단계, 상기 제2 발광층 상부에 제2 p-GaN층 증착하는 단계를 더 포함할 수 있다.
- [20] 한편, 상기 발광 소자의 제조 방법은 상기 절연층에 제1 콘택트 홀을 형성하는 단계, 상기 절연층 상에 반사층을 증착하는 단계, 상기 반사층 상에 패시베이션층을 증착하는 단계 및 상기 절연층, 상기 반사층 및 상기 패시베이션층에 제2 콘택트 홀을 형성하는 단계를 더 포함할 수 있고, 상기 제1 콘택트 홀을 형성하는 단계는 상기 반사층을 통하여 상기 제1 화소 전극 및 상기 제2 화소 전극이 상기 복수의 도전성 반도체층과 전기적으로 연결될 수 있도록

상기 제1 콘택트 홀을 형성할 수 있으며, 상기 제2 콘택트 홀을 형성하는 단계는 상기 공통 전극이 상기 복수의 도전성 반도체층과 전기적으로 연결될 수 있도록 상기 제2 콘택트 홀을 형성할 수 있다.

- [21] 한편, 상기 제2 발광셀을 형성하는 단계는 상기 제2 발광셀의 발광 면적을 상기 제1 발광셀의 발광 면적과 상이하도록 상기 제2 발광셀을 형성할 수 있다.

도면의 간단한 설명

- [22] 도 1은 본 개시의 일 실시 예에 따른 발광 소자의 구조를 나타내는 단면도,
 [23] 도 2a 내지 도 2f는 본 개시의 일 실시 예에 따른 발광 소자의 제조 방법을 순차적으로 나타내는 단면도,
 [24] 도 3은 본 개시의 도 2a 내지 도 2f에 따른 발광 소자의 제조 방법을 나타내는 흐름도,
 [25] 도 4는 본 개시의 일 실시 예에 따른 디스플레이 장치의 간략한 구성을 나타내는 블록도,
 [26] 도 5는 본 개시의 일 실시 예에 따른 디스플레이 패널의 일부를 나타내는 단면도,
 [27] 도 6a 내지 도 6d는 본 개시의 일 실시 예에 따른 발광 소자에서 불량 화소가 발생한 경우에 관한 실시 예를 설명하기 위한 개략도,
 [28] 도 7은 본 개시의 일 실시 예에 따른 또 다른 디스플레이 패널의 일부를 나타내는 단면도이다.

발명의 실시를 위한 최선의 형태

- [29] 본 실시 예들은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나 이는 특정한 실시 형태에 대해 범위를 한정하려는 것이 아니며, 본 개시의 실시 예의 다양한 변경(modifications), 균등물(equivalents), 및/또는 대체물(alternatives)을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [30] 본 개시를 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 개시의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그에 대한 상세한 설명은 생략한다.
- [31] 덧붙여, 하기 실시 예는 여러 가지 다른 형태로 변형될 수 있으며, 본 개시의 기술적 사상의 범위가 하기 실시 예에 한정되는 것은 아니다. 오히려, 이들 실시 예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 개시의 기술적 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [32] 본 개시에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 권리범위를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [33] 본 개시에서, "가진다," "가질 수 있다," "포함한다," 또는 "포함할 수 있다" 등의

표현은 해당 특징(예: 수치, 기능, 동작, 또는 부품 등의 구성요소)의 존재를 가리키며, 추가적인 특징의 존재를 배제하지 않는다.

- [34] 본 개시에서, "A 또는 B," "A 또는/및 B 중 적어도 하나," 또는 "A 또는/및 B 중 하나 또는 그 이상"등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다. 예를 들면, "A 또는 B," "A 및 B 중 적어도 하나," 또는 "A 또는 B 중 적어도 하나"는, (1) 적어도 하나의 A를 포함, (2) 적어도 하나의 B를 포함, 또는 (3) 적어도 하나의 A 및 적어도 하나의 B 모두를 포함하는 경우를 모두 지칭할 수 있다.
- [35] 본 개시에서 사용된 "제1," "제2," "첫째," 또는 "둘째,"등의 표현들은 다양한 구성요소들을, 순서 및/또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [36] 어떤 구성요소(예: 제1 구성요소)가 다른 구성요소(예: 제2 구성요소)에 "(전기적으로, 기능적으로 또는 통신적으로) 연결되어((operatively or communicatively) coupled with/to)" 있다거나 "접속되어(connected to)" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소(예: 제1 구성요소)가 다른 구성요소(예: 제2 구성요소)에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소와 상기 다른 구성요소 사이에 다른 구성요소(예: 제 3 구성요소)가 존재하지 않는 것으로 이해될 수 있다.
- [37] 본 개시에서 사용된 표현 "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, "~에 적합한(suitable for)," "~하는 능력을 가지는(having the capacity to)," "~하도록 설계된(designed to)," "~하도록 변경된(adapted to)," "~하도록 만들어진(made to)," 또는 "~를 할 수 있는(capable of)"과 바꾸어 사용될 수 있다. 용어 "~하도록 구성된(또는 설정된)"은 하드웨어적으로 "특별히 설계된(specifically designed to)" 것만을 반드시 의미하지 않을 수 있다.
- [38] 대신, 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다. 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(generic-purpose processor)(예: CPU 또는 application processor)를 의미할 수 있다.
- [39] 이하에서, 첨부된 도면을 이용하여 본 개시에 대하여 구체적으로 설명한다.
- [40] 아래에서는 첨부한 도면을 참고하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다.

- [41] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [42]
- [43] 도 1은 본 개시의 일 실시 예에 따른 발광 소자의 구조를 나타내는 단면도이다.
- [44] 도 1을 참조하면, 본 개시의 일 실시 예에 따른 발광 소자(1)는 제1 발광셀(10), 제2 발광셀(20), 절연층(117,127), 공통 전극(200), 제1 화소 전극(210) 및 제2 화소 전극(220)을 포함한다.
- [45] 그리고, 제1 발광셀(10)은 제1 발광층(11,21) 및 제1 발광층(11,21) 상하부에 적층되는 복수의 도전성 반도체층을 포함하고, 제2 발광셀(20)은 제2 발광층(12,22) 및 제2 발광층(12,22) 상하부에 적층되는 복수의 도전성 반도체층을 포함한다.
- [46] 이하에서는 제1 발광셀(10)과 제2 발광셀(20)을 구분하여 설명할 필요가 없는 경우에는 발광셀으로 통칭한다. 그리고, 후술하는 제1 발광층(11,21) 및 제2 발광층(12,22), 그리고 제1 화소 전극(210) 및 제2 화소 전극(220) 등에 대한 설명에 있어서도 각각 발광층 및 화소 전극 등으로 통칭한다.
- [47] 우선, 복수의 도전성 반도체층에 대하여 살펴보면, 복수의 도전성 반도체층은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있다. 특히, 복수의 도전성 반도체층은 질화물 반도체층, 특히 GaN 반도체층으로 구현될 수 있다. 그러나, 본 개시에 따른 복수의 반도체층이 이에 한정되는 것은 아니며, 발광 소자(1)에 요구되는 다양한 특성에 따라 다양한 재료로 이루어질 수 있다.
- [48] 복수의 도전성 반도체층은 n형 반도체, p형 반도체, p⁺형 반도체, n⁺형 반도체 등을 포함한다.
- [49] 여기서, n형 반도체란 전하를 옮기는 캐리어로 자유전자가 사용되는 반도체로서, Si, Ge, Sn, Te 등과 같은 n형 도펀트를 도핑하여 만들어질 수 있다. 그리고, p형 반도체란 전하를 옮기는 캐리어로 정공이 사용되는 반도체로서, Mg, Zn, Ca, Ba 등과 같은 p형 도펀트를 도핑하여 만들어질 수 있다.
- [50] 한편, 후술하는 바와 같이, n형 반도체 및 p형 반도체 사이에 발광층이 적층됨으로써, 발광층은 광을 방출할 수 있게 된다.
- [51] 한편, p⁺형 반도체, n⁺형 반도체는 전기 저항을 낮추고 전류 분포를 개선하여 칩 전체에서 균일한 발광이 가능하도록, 전술한 바와 같은 도펀트를 과도핑하여 만들어질 수 있다.
- [52] 그리고, p형 반도체의 상부에 p⁺형 반도체 및 n⁺형 반도체가 순차적으로 적층될 수 있으며, 그에 따라 n⁺형 반도체 상부에 n형 반도체, 제2 발광층(12,22) 및 p형 반도체가 순차적으로 적층되어 다중 터널 접합 구조를 형성할 수 있게 된다.
- [53] 한편, 이하에서 GaN 반도체층의 경우를 예로 들어, 본 개시의 일 실시 예에 따른 복수의 도전성 반도체의 적층 구조를 설명한다. 한편, 이하에서는 도 1에 도시된 방향과는 달리 기판(99)을 최하부의 구성으로 특정하여 설명한다. 이는

후술하는 바와 같은 발광 소자(1)의 제조 방법을 고려한 것이다.

- [54] 구체적으로, 본 개시의 일 실시 예에 따라, GaN층으로 이루어지는 복수의 도전성 반도체 층은 기판(99)상에 적층되는 제1 n-GaN층(100), 제1 n-GaN(100)층 상부에 적층되는 제1 발광층(11,21), 제1 발광층(11,21) 상부에 적층되는 제1 p-GaN층(111,121), 제1 p-GaN층(111,121) 상부에 순차적으로 적층되는 p+-GaN층(112,122) 및 n+-GaN층(113,123), 제2 발광층(12,22) 하부에 적층되는 제2 n-GaN층(114,124) 및 제2 발광층(12,22) 상부에 적층되는 제2 p-GaN층(115,125)을 포함할 수 있다.
- [55] 그리고, 도 1에 도시된 바와 같이, 제2 p-GaN층(115,125) 상부에 p+-GaN(116,126)층을 더 포함할 수 있으며, 뿐만 아니라 본 개시의 목적 달성을 위한 범위 내에서라면 다양한 도전성 반도체층을 더 포함할 수도 있다.
- [56] 한편, 발광층은 n형 반도체와 p형 반도체 사이에 위치하며, n형 반도체의 캐리어인 전자와 p형 반도체의 캐리어인 정공이 만나는 층이다. 발광층에서 전자와 정공이 만나면, 전자와 정공이 재결합함에 따라 전위 장벽이 형성된다. 그리고 인가되는 전압에 따라 전자와 정공이 전위 장벽을 넘어 낮은 에너지 준위로 천이하게 되면, 그에 상응하는 파장의 광을 생성한다.
- [57] 여기서, 발광층은 다중 양자 우물 (Multi-Quantum Wells: MQW) 구조일 수 있으나, 본 개시가 이에 한정되는 것은 아니고 양자점(Quantum Dot) 구조 등 다양한 구조일 수 있다.
- [58] 한편, 발광층이 다중 양자 우물 구조로 형성되는 경우, 발광층의 우물층/장벽층은 InGaN/GaN, InGaN/InGaIn, GaAs(InGaGs)/AlGaAs와 같은 구조로 형성될 수 있으나, 본 개시가 이와 같은 구조에 한정되는 것은 아니다.
- [59] 한편, 본 개시의 일 실시 예에 따르면, 제1 발광층(11,21) 및 제2 발광층(12,22)은 순차적으로 적층되어 상호 수직의 관계에 있으나, 후술하는 바와 같은 공통 전극(200)에 의하여 제1 발광셀(10) 및 제2 발광셀(20)은 수평으로 구분될 수 있으며, 그에 따라 제1 발광층(11,21) 및 제2 발광층(12,22)은 제1 발광셀(10)에 포함되는 발광층(11,12)과 제2 발광셀(20)에 포함되는 발광층(21,22)으로 구분될 수 있다.
- [60] 즉, 제1 발광셀(10)은 제1 발광층(11), 제2 발광층(12) 및 그 상하부에 적층되는 복수의 도전성 반도체층을 포함하고, 제2 발광셀(20)은 제1 발광층(12), 제2 발광층(22) 및 그 상하부에 적층되는 복수의 도전성 반도체층을 포함할 수 있다.
- [61] 그리고, 제1 발광셀(10)에 포함되는 제1 발광층(11)은 후술하는 바와 같이 공통 전극(200) 및 제1 화소 전극(210)에 전기적으로 연결되어 광을 방출하며, 다만 제2 발광셀(20)에 포함되는 제1 발광층(12)은 광을 방출하지 아니한다.
- [62] 마찬가지로, 제2 발광셀(20)에 포함되는 제2 발광층(22)은 후술하는 바와 같이 공통 전극(200) 및 제2 화소 전극(220)에 전기적으로 연결되어 광을 방출하며, 다만 제1 발광셀(10)에 포함되는 제2 발광층(21)은 광을 방출하지 아니한다.
- [63] 따라서, 이하에서는 편의상 제1 발광층(11,21) 중 제1 발광셀(10)에 포함되어

광을 방출하는 층만을 제1 발광층(11)이라고 지칭하고, 제2 발광층(12,22) 중 제2 발광셀(20)에 포함되어 광을 방출하는 층만을 제2 발광층(22)이라고 지칭할 수도 있다.

- [64] 한편, 발광층의 재료와 두께는 다양하게 선택될 수 있으며, 그에 따라 상이한 파장의 광을 방출할 수 있다. 특히, 제1 발광층(11,21)과 제2 발광층(12,22)에 포함되는 재료를 상이하게 선택함으로써 상이한 광을 방출하도록 할 수 있다.
- [65] 한편, 본 개시의 일 실시 예에 따른 발광 소자(1)은 절연층(117,127)을 더 포함한다.
- [66] 구체적으로, 절연층(117,127)은 제1 발광셀(10) 및 제2 발광셀(20)이 전기적으로 구분될 수 있도록 상기 제1 발광셀(10) 및 상기 제2 발광셀(20) 상에 구비된다. 이러한 절연층(117,127)에는 주로 실리콘 이산화물(SiO_2)이 사용될 수 있으나, 본 개시에 따른 절연층(117,127)이 특정 재료에 한정되는 것은 아니다.
- [67] 한편, 본 개시의 일 실시 예에 따른 발광 소자(1)는 반사층(118,128)을 더 포함할 수 있다. 반사층(118,128)은 발광셀의 발광 효율을 증가시키는 역할을 할 수 있을 뿐만 아니라, 제1 화소 전극(210) 및 제2 화소 전극(220)을 복수의 도전성 반도체층과 전기적으로 연결하는 역할을 할 수 있다.
- [68] 이러한 반사층(118,128)에는 알루미늄(Al)과 같이 반사도가 높으면서도 전기전도도가 높은 다양한 금속재료가 사용될 수 있으며, 다만 본 개시에 따른 반사층(118,128)이 특정 재료에 한정되는 것은 아니다.
- [69] 한편, 본 개시의 일 실시 예에 따른 발광 소자(1)는 패시베이션층(119,129)(Passivation Layer)을 더 포함할 수 있다.
- [70] 패시베이션층(119,129)은 반사층(118,128)과 공통 전극(200), 그리고 반사층(118,128)과 화소 전극(210,220) 사이에 위치함으로써 발광 소자(1)의 특성을 안정화할 수 있다. 이러한 패시베이션층(119,129)에는 실리콘 이산화물(SiO_2)이 사용될 수 있으나, 본 개시에 따른 패시베이션층(119,129) 역시 특정 재료에 한정되는 것은 아니다.
- [71] 한편, 상술한 바와 같은 절연층(117,127)에는 제1 콘택트 홀(230-1,230-2)이 형성될 수 있으며, 절연층(117,127), 반사층(118,128) 및 패시베이션층(119,129)에는 제2 콘택트 홀(240-1,240-2)이 형성될 수 있다. 이러한 콘택트 홀은 후술하는 바와 같이, 공통 전극(200) 및 화소 전극(210,220)을 제1 발광셀 및 제2 발광셀과 전기적으로 연결하는 통로의 역할을 수행한다.
- [72] 한편, 본 개시에 따른 발광 소자(1)는 도 1에 도시된 바와 같이 제1 발광셀(10) 및 제2 발광셀(20)에 연결되는 공통 전극(200), 제1 화소 전극(210) 및 제2 화소 전극(220)이 배치됨으로써 플립 칩(Flip-Chip) 형태의 구조로 구현될 수 있다.
- [73] 공통 전극(200)은 제1 발광셀(10) 및 제2 발광셀(20)에 전기적으로 연결된다. 구체적으로, 공통 전극(200)은 제2 콘택트 홀(240-1,240-2)을 통하여 제1 발광셀(10) 및 제2 발광셀(20)이 포함하는 복수의 도전성 반도체층과 연결될 수 있다.

- [74] 그리고 공통 전극(200)은 제1 발광셀(10) 및 제2 발광셀(20) 사이에 형성되어, 제1 발광셀(10) 및 제2 발광셀(20)을 수평으로 구분한다. 이에 따라, 제1 발광셀(10)의 발광 영역과 제2 발광셀(20)의 발광 영역 또한 수평으로 구분된다.
- [75] 한편, 제1 화소 전극(210)은 제1 발광셀(10)에 전기적으로 연결되며, 제2 화소 전극(220)은 제2 발광셀(20)에 전기적으로 연결된다. 즉, 제1 화소 전극(210)은 제1 발광셀(10)에 전기적으로 연결될 뿐 제2 발광셀(20)에는 전기적으로 연결되지 아니하며, 제2 화소 전극(220)은 제2 발광셀(20)에 전기적으로 연결될 뿐 제1 발광셀(10)에는 전기적으로 연결되지 아니한다.
- [76] 구체적으로, 제1 화소 전극(210) 및 제2 화소 전극(220)은 제1 콘택트 홀(230-1, 230-2) 및 반사층(118, 128)을 통하여 각각 제1 발광셀(10) 및 제2 발광셀(20)이 포함하는 복수의 도전성 반도체층과 연결될 수 있다.
- [77] 이처럼 제1 화소 전극(210) 및 제2 화소 전극(220)이 제1 발광셀(10) 및 제2 발광셀(20)에 개별적으로 연결됨에 따라, 후술하는 바와 같이 디스플레이 장치의 프로세서는 제1 발광셀(10) 및 제2 발광셀(20)의 구동을 독립적으로 제어할 수 있게 된다.
- [78] 한편, 이상에서는 제1 발광셀(10) 및 제2 발광셀(20)을 포함하는 발광 소자(1)에 대하여 설명하였으나, 본 개시가 이에 국한되는 것은 아니며, 제3 발광셀(미도시) 등 복수의 발광셀을 더 포함할 수 있다.
- [79] 즉, 본 개시의 일 실시 예에 따른 발광 소자(1)는 제3 발광층 및 제3 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제3 발광셀과, 제3 발광셀에 전기적으로 연결되는 제3 화소 전극(미도시)을 더 포함할 수 있다.
- [80] 그리고, 제3 발광층이 방출하는 광은 제1 발광층(11, 21)이 방출하는 광 및 제2 발광층(12, 22)이 방출하는 광 중 적어도 하나와 상이하며, 공통 전극(200)은 제1 발광셀(10), 제2 발광셀(20) 및 제3 발광셀에 셀에 전기적으로 연결될 수 있고, 제1 발광셀(10)의 발광 영역, 제2 발광셀(20)의 발광 영역 및 제3 발광셀의 발광 영역은 공통 전극(200)에 의하여 수평으로 구분될 수 있다.
- [81] 한편, 상술한 바와 같이, 본 개시의 일 실시 예에 따른 발광 소자(1) 내의 발광 영역은 제1 발광셀(10)의 발광 영역 및 제2 발광셀(20)의 발광영역에 따라 수평으로 구분될 수 있다. 다시 말해, 본 개시의 다양한 실시 예에 따르면, 수평으로 구분된 두 개 이상의 발광 영역을 갖는 다중 터널 접합 발광 소자가 제공될 수 있다.
- [82] 상술한 바와 같은 발광 소자(1)에 따르면, 단일 발광 소자에서 두 가지 이상의 색상에 대한 화소를 구현할 수 있어, 디스플레이 장치의 생산 비용을 절감할 수 있다.
- [83] 또한, 상술한 바와 같은 발광 소자(1)의 구조에 따르면, 종래의 발광 소자에 비하여 디스플레이 장치의 제작에 필요한 금속 배선의 수가 감소될 수 있고, 이에 따라 디스플레이 장치의 설계가 용이해 질 수 있다.
- [84] 또한, 발광 소자(1)에 포함되는 복수의 발광 영역을 독립적으로 제어할 수 있어,

- 디스플레이 장치의 제작 과정에서 발광 영역을 효율적으로 정의할 수 있다.
- [85] 이러한 디스플레이 장치에 대해서는 도 4 내지 도 7에 대한 설명에서 후술한다.
- [86] 한편, 본 개시에 따른 디스플레이 장치를 설명하기에 앞서, 이하에서는 상술한 바와 같은 발광 소자(1)의 제조 방법에 대하여, 도 2a 내지 도 2f 및 도 3을 참조하여 설명한다.
- [87]
- [88] 도 2a 내지 도 2f는 본 개시의 일 실시 예에 따른 발광 소자의 제조 방법을 순차적으로 나타내는 단면도이고, 도 3은 도 2a 내지 도 2f에 따른 발광 소자의 제조 방법을 나타내는 흐름도이다.
- [89] 이하에서는 도 2 및 도 3을 함께 참조하여 설명한다. 한편, 도 2에서는 발광 소자 제조 방법에 따라 순차적으로 형성되는 적층 구조를 효율적으로 설명하기 위하여, 도 1과는 도면의 식별 부호를 달리하였다.
- [90] 한편, 본 개시의 일 실시 예에 따른 발광 소자의 구조와 발광 소자에 포함되는 각 층의 특성 등에 대해서는 도 1에 대한 설명에서 상술하였으므로, 중복 설명은 생략한다.
- [91] 본 개시의 일 실시 예에 따른 발광 소자의 제조 방법에 사용되는 기판(1)은 반도체 물질 성장에 적합한 물질이나 캐리어 웨이퍼 등일 수 있다. 구체적으로, 기판(1)은 사파이어(Sapphire, Al_2SO_4), SiC, GaN, GaAs, ZnO 등과 같은 물질로 이루어 질 수 있으며, 다만 본 개시에 있어 사용되는 기판이 특정 재료에 한정되는 것은 아니다.
- [92] 기판(1)이 구비되면, 도 2a에 도시된 바와 같이, 기판(1) 상에 제1 발광층(3), 제1 발광층(3)과 상이한 광을 방출하는 제2 발광층(8) 및 제1 발광층(3)의 상부와 하부에 적층되는 복수의 도전성 반도체층(2,4,5,6,7,9,10)을 증착한다(S301).
- [93] 이와 같은 증착은 MOCVD(Metal Organic Chemical Vapor Deposition)나 MBE(Molecular Beam Epitaxy)와 같은 공정 기술을 활용하여 이루어질 수 있다.
- [94] 구체적으로, 기판(1)상에 발광층(3,8) 및 복수의 도전성 반도체층(2,4,5,6,7,9,10)을 증착하는 단계는 다음과 같은 순서로 이루어질 수 있다.
- [95] 우선, 기판(1)상에 제1 n-GaN층(2)을 증착하고, 제1 n-GaN층(2) 상부에 제1 발광층(3)을 증착하며, 제1 발광층(3) 상부에 제1 p-GaN층(4), p⁺-GaN층(5) 및 n⁺-GaN층(6)을 순차적으로 증착하고, n⁺-GaN층(6) 상부에 제2 n-GaN층(7)을 증착하며, 제2 n-GaN층(7) 상부에 제2 발광층(8)을 증착하고, 제2 발광층(8) 상부에 제2 p-GaN층(9)을 증착한다.
- [96] 그리고, 제2 p-GaN층(9) 상부에는 p⁺-GaN층(10)을 추가적으로 증착할 수도 있다. 뿐만 아니라, 본 개시의 목적 달성을 위한 범위 내에서라면 다양한 도전성 반도체층을 더 증착할 수도 있다.
- [97] 발광층 및 복수의 도전성 반도체층이 증착되면, 도 2b에 도시된 바와 같이, 제1 발광층(3) 및 복수의 도전성 반도체층을 포함하는 제1 발광셀을 형성하고(S302),

- 또한 제2 발광층(8) 및 복수의 도전성 반도체층을 포함하며 제1 발광셀과 수평으로 구분되는 제2 발광셀을 형성한다(S303).
- [98] 제1 발광셀 및 제2 발광셀의 구체적인 구성에 대해서는 도 1에 대한 설명에서 상술한바, 중복 설명은 생략한다.
- [99] 한편, 발광셀의 형성은 포토리소그래피(Photolithography) 및 식각(etching) 공정을 통하여 이루어질 수 있다.
- [100] 구체적으로, 증착된 발광층(3,8) 및 복수의 도전성 반도체층(2,4,5,6,7,9,10)은 수평으로 제1 발광셀 및 제2 발광셀이 구분될 수 있도록 식각될 수 있다.
- [101] 그리고, 발광셀을 형성하는 단계는 도 2c 내지 도 2e에 도시된 바와 같이, 제1 발광셀 및 제2 발광셀 상에 절연층(11), 반사층(12) 및 패시베이션층(13)이 증착될 수 있도록 이루어질 수 있다.
- [102] 또한, 발광셀을 형성하는 단계는 도 2f에 도시된 바와 같이, 제1 발광셀과 제2 발광셀 사이에 공통 전극(14)이 형성될 수 있도록 이루어질 수 있다.
- [103] 한편, 제2 발광셀을 형성하는 단계에 있어, 제2 발광셀의 발광 면적을 제1 발광셀의 발광 면적과 상이하도록 형성할 수 있다. 이와 같이 비대칭 발광 영역을 갖는 발광 소자를 포함하는 디스플레이 장치에 관한 실시 예는 도 7에 대한 설명에서 후술한다.
- [104] 제1 발광셀 및 제2 발광셀이 형성되면, 도 2c에 도시된 바와 같이, 제1 발광셀 및 제2 발광셀이 전기적으로 구분될 수 있도록 제1 발광셀 및 제2 발광셀 상에 절연층(11)을 증착한다(S304).
- [105] 절연층(11)이 증착되면, 도 2d에 도시된 바와 같이, 제1 화소 전극(15) 및 제2 화소 전극(16)이 복수의 도전성 반도체층과 전기적으로 연결될 수 있도록 절연층(11)에 제1 콘택트 홀(21,22)을 형성할 수 있다(S305).
- [106] 절연층(11)에 제1 콘택트 홀(21,22)이 형성되면, 도 2d에 도시된 바와 같이, 절연층(11) 상에 반사층(12)을 증착할 수 있다(S306).
- [107] 반사층(12)이 증착되면, 도 2e에 도시된 바와 같이, 반사층(12) 상에 패시베이션층(13)을 증착할 수 있다(S307).
- [108] 패시베이션층(13)이 증착되면, 도 2e에 도시된 바와 같이, 공통 전극(14)이 상기 복수의 도전성 반도체층과 전기적으로 연결될 수 있도록 절연층(11), 반사층(12) 및 패시베이션층(13)에 제2 콘택트 홀(23,24)을 형성할 수 있다(S308).
- [109] 제2 콘택트 홀(23,24)까지 형성되면, 도 2f에 도시된 바와 같이, 제1 발광셀과 제2 발광셀 사이의 구분된 영역에 제1 발광셀 및 제2 발광셀에 전기적으로 연결되는 공통 전극(14)을 형성한다(S309).
- [110] 또한, 공통 전극(14)의 형성과 아울러, 도 2f에 도시된 바와 같이, 제1 발광셀에 전기적으로 연결되는 제1 화소 전극(15)을 형성하고(S310), 또한 제2 발광셀에 전기적으로 연결되는 제2 화소 전극(16)을 형성한다(S311).
- [111] 한편, 이상에서는 제1 발광셀을 형성하는 단계(S302)와 제2 발광셀을 형성하는 단계(S303)를 나누어 서술하였지만, 이는 본 개시에 따른 발광 소자의 구조를

명확하게 설명하기 위한 것일 뿐, 양 단계 사이에 특별히 시간적 순서가 정하여진 것은 아니다.

- [112] 마찬가지로 제1 화소 전극(15)을 형성하는 단계(S310)와 제2 화소 전극(16)을 형성하는 단계(S311) 등과 같이, 상호 대등한 복수의 구성을 증착 또는 형성하는 단계의 경우, 양 단계 사이에 시계열적 요소는 존재하지 아니한다.
- [113] 이상에서는 본 개시의 다양한 실시 예에 따른 발광 소자 및 그 제조 방법에 대하여 설명하였는바, 이하에서는 상술한 바와 같은 발광 소자를 포함하는 디스플레이 장치에 대하여 설명한다.
- [114]
- [115] 도 4는 본 개시의 일 실시 예에 따른 디스플레이 장치의 간략한 구성을 나타내는 블록도이다.
- [116] 도 4를 참조하면, 본 개시의 일 실시 예에 따른 디스플레이 장치(300)는 디스플레이 패널(310) 및 프로세서(320)를 포함한다.
- [117] 그리고, 디스플레이 패널(310)은 복수의 발광 소자 및 복수의 스위칭 소자를 포함한다.
- [118] 구체적으로, 디스플레이 패널(310)은 상술한 바와 같은 본 개시의 다양한 실시 예에 따른 발광 소자(1)를 복수 개 포함하며, 따라서 디스플레이 패널(310)에 포함되는 발광 소자(1)는 수평으로 구분된 두 개 이상의 발광 영역을 갖는 다중 터널 접합 발광 소자일 수 있다.
- [119] 특히, 본 개시의 다양한 실시 예에 있어서 디스플레이 패널(310)은 상술한 바와 같은 발광 소자(1)를 포함함으로써, 단일 발광 소자에 포함된 복수의 발광 영역을 통하여 적색, 녹색 및 청색 화소를 효율적으로 구현할 수 있다. 구체적인 화소 배열의 예시 및 그에 따른 구체적인 실시 예에 대해서는 도 5 및 도 7에 대한 설명에서 후술한다.
- [120] 스위칭 소자(미도시)는 디스플레이 패널(310)에 포함된 발광 소자(1)의 구동을 제어할 수 있도록 구성되는 반도체 소자로서, 디스플레이 장치(300)의 개별 화소에 대한 일종의 스위치 역할을 담당한다. 이러한 스위칭 소자로는 도 5 및 도 7에 도시된 바와 같은 구동 TFT(Thin Film Transistor)가 사용될 수 있다.
- [121] 특히, 본 개시의 일 실시 예에 따른 스위칭 소자는 제1 화소 전극 및 제2 화소 전극을 통하여, 제1 발광셀 및 제2 발광셀 각각에 개별적으로 연결될 수 있다.
- [122] 프로세서(320)는 디스플레이 장치(300)의 전반적인 동작을 제어한다. 이러한 프로세서(320)는 다양한 방식으로 구현될 수 있다. 예를 들어, 프로세서(320)는 주문형 집적 회로(Application Specific Integrated Circuit, ASIC), 임베디드 프로세서, 마이크로프로세서, 하드웨어 컨트롤 로직, 하드웨어 유한 상태 기계(hardware Finite State Machine, FSM), 디지털 신호 프로세서(Digital Signal Processor, DSP) 중 적어도 하나로 구현될 수 있다.
- [123] 또한, 프로세서(320)는 ROM, RAM, GPU(Graphic Processing Unit), CPU 및 버스를 포함할 수 있으며, ROM, RAM, GPU(Graphic Processing Unit), CPU 등은

- 버스를 통해 서로 연결될 수 있다.
- [124] 특히, 본 개시의 다양한 실시 예에 있어서, 프로세서(320)는 단일 발광 소자(1)에 포함된 복수의 발광셀의 구동을 독립적으로 제어할 수 있다.
- [125] 상술한 바와 같이, 본 개시에 따른 발광 소자(1)는 제1 발광셀, 제2 발광셀, 제1 발광셀에 전기적으로 연결되는 제1 화소 전극, 제2 발광셀에 전기적으로 연결되는 제2 화소 전극을 포함한다.
- [126] 그리고, 본 개시에 따른 디스플레이 장치에 포함되는 디스플레이 패널(310)은 제1 화소 전극에 전기적으로 연결되는 제1 스위칭 소자 및 제2 화소 전극에 전기적으로 연결되는 제2 스위칭 소자를 포함할 수 있다.
- [127] 이에 따라, 프로세서(320)는 제1 스위칭 소자 및 제2 스위칭 소자를 통하여, 제1 발광셀 및 제2 발광셀의 구동을 독립적으로 제어할 수 있다.
- [128] 디스플레이 패널(310)의 화소 배열 및 프로세서(320)의 제어에 관한 구체적인 실시 예는 도 5 내지 도 7에 대한 설명에서 후술한다.
- [129]
- [130] 도 5는 본 개시의 일 실시 예에 따른 디스플레이 패널의 일부를 나타내는 단면도이다.
- [131] 도 5에 도시된 바와 같이, 본 개시의 일 실시 예에 따른 디스플레이 패널은 복수의 발광 소자 및 복수의 스위칭 소자를 포함할 수 있다.
- [132] 그리고, 각 발광 소자는 제1 발광셀(10-1,10-2,10-3) 및 제2 발광셀(20-1,20-2, 20-3)을 포함할 수 있으며, 제1 발광셀(10-1,10-2,10-3) 및 제2 발광셀(20-1,20-2, 20-3) 모두에 전기적으로 연결되는 공통 전극(200-1,200-2,200-3), 그리고 제1 발광셀(10-1,10-2,10-3)에 개별적으로 연결되는 제1 화소 전극(210-1,210-2,210-3) 및 제2 발광셀(20-1,20-2, 20-3)에 개별적으로 연결되는 제2 화소 전극(220-1,220-2,220-3)을 포함할 수 있다.
- [133] 또한, 제1 화소 전극(210-1,210-2,210-3)에는 제1 스위칭 소자(311-1,311-2,311-3)가 개별적으로 연결될 수 있으며, 제2 화소 전극(220-1,220-2,220-3)에는 제2 스위칭 소자(312-1,312-2,312-3)가 개별적으로 연결될 수 있다.
- [134] 한편, 도 5에 도시된 바와 같이 디스플레이 패널을 구현하는 경우, 제2 발광셀의 발광 영역은 필요 발광 영역으로, 제1 발광 셀의 발광 영역은 여분의 발광 영역으로 정의할 수 있다.
- [135] 이에 따라, 일반적인 디스플레이 장치로서의 화소 구동은 제2 발광셀(20-1,20-2, 20-3)에 의하여 이루어지고, 디스플레이 제품 사양에 따라 고휘도, 고순도 또는 고해상도의 사양이 필요한 경우에는 제1 발광셀(10-1,10-2,10-3) 이 사용될 수 있도록 디스플레이 패널을 구현할 수 있다.
- [136] 한편, 상술한 바와 같이 정의된 여분의 발광 영역을 사용하여 발광 소자에서 발생한 불량 화소를 리페어할 수도 있는바, 이에 대해서는 도 6을 참조하여 설명한다.

[137]

[138] 도 6a 내지 도 6d는 본 개시의 일 실시 예에 따른 발광 소자에서 불량 화소가 발생한 경우에 관한 실시 예를 설명하기 위한 개략도이다.

[139] 구체적으로, 도 6a 내지 도 6d는 발광 소자 각각에 포함된 제1 발광셀의 발광 영역(10-1,10-2,10-3) 및 제2 발광셀의 발광 영역(20-1,20-2,20-3)을 나타낸다. 전술한 바와 같이, 제2 발광셀의 발광 영역(20-1,20-2,20-3)은 필요 발광 영역으로, 제1 발광 셀의 발광 영역(10-1,10-2,10-3)은 여분의 발광 영역으로 정의할 수 있다.

[140] 본 개시의 일 실시 예에 따른 발광 소자가 정상적으로 구동하는 경우에는 도 6a에 도시된 바와 같이 각각의 발광 소자의 필요 발광 영역(20-1,20-2,20-3)에 해당하는 발광셀이 모두 정상적으로 구동하거나, 도 6b에 도시된 바와 같이, 필요 발광 영역(20-1,20-2,20-3) 및 여분의 발광 영역(10-1,10-2,10-3)에 해당하는 발광셀이 모두 정상적으로 구동한다.

[141] 그러나, 도 6c 및 도 6d에 도시된 바와 같이, 제1 발광셀의 발광 영역(10-1,10-2,10-3) 및 제2 발광셀의 발광 영역(20-1,20-2,20-3) 중 적어도 하나에 불량 화소가 발생할 수 있다.

[142] 그런데, 상술한 바와 같이, 본 개시에 따른 프로세서(320)는 발광 소자에 포함된 제1 발광셀 및 제2 발광셀의 구동을 독립적으로 제어할 수 있는바, 도 6c 및 도 6d의 경우와 같이 발생된 불량 화소를 리페어할 수 있다.

[143] 즉, 프로세서(320)는 불량 화소가 발생된 영역과 인접한 발광 소자에 포함되는 제1 발광셀 및 제2 발광셀 중 적어도 하나를 사용하여 불량 화소를 대체하도록 제어할 수 있다.

[144] 예를 들어, 프로세서(320)는 도 6c에 도시된 바와 같이 불량 화소가 발생된 영역(20-2)과 인접한 발광 소자에 포함되는 발광 영역(10-1)을 사용하여 불량 화소를 대체할 수 있다. 또한, 프로세서(320)는 도 6d에 도시된 바와 같이 불량 화소가 발생된 영역(20-3)과 인접한 발광 소자에 포함되는 발광 영역(10-2)을 사용하여 불량 화소를 대체할 수 있다.

[145] 상술한 바와 같은 본 개시의 일 실시 예에 따르면, 발생된 불량 화소를 효율적으로 리페어함으로써, 불량 화소에 따른 리페어 공정 비용의 문제를 해소할 수 있게 된다.

[146]

[147] 도 7은 본 개시의 일 실시 예에 따른 또 다른 디스플레이 패널의 일부를 나타내는 단면도이다.

[148] 도 7에 도시된 바와 같이, 본 개시의 일 실시 예에 따른 디스플레이 패널은 복수의 발광 소자 및 복수의 스위칭 소자를 포함할 수 있다.

[149] 그리고, 각 발광 소자는 제1 발광셀(10-1,10-2,10-3) 및 제2 발광셀(20-1,20-2,20-3)을 포함할 수 있으며, 제1 발광셀(10-1,10-2,10-3) 및 제2 발광셀(20-1,20-2,20-3) 모두에 전기적으로 연결되는 공통 전극(200-1,200-2,200-3), 그리고 제1 발광셀(10-1,10-2,10-3)에 개별적으로 연결되는 제1 화소 전극(210-1,210-2,210-3)

및 제2 발광셀(20-1,20-2, 20-3)에 개별적으로 연결되는 제2 화소 전극(220-1,220-2,220-3)을 포함할 수 있다.

- [150] 또한, 제1 화소 전극(210-1,210-2,210-3)에는 제1 스위칭 소자(311-1,311-2,311-3)가 개별적으로 연결될 수 있으며, 제2 화소 전극(220-1,220-2,220-3)에는 제2 스위칭 소자(312-1,312-2,312-3)가 개별적으로 연결될 수 있다.
- [151] 한편, 발광 소자의 발광 효율, 특히 외부 양자 효율(EQE: External Quantum Efficiency)은 색상 별로 큰 차이를 보인다. 예를 들어, GaN 기반의 LED의 경우, 적색은 10% 미만의 EQE, 녹색은 30%미만의 EQE, 청색은 80% 미만의 EQE를 나타낸다.
- [152] 즉, 적색 소자와 녹색 소자의 경우에는 청색 소자에 비하여 발광 효율이 크게 떨어지는바, 이처럼 발광 효율이 낮은 색상을 구현함에 있어 필요한 휘도를 만족시키기 위해서는 높은 전력을 사용하거나 그 발광 면적을 넓혀야 한다.
- [153] 그런데, 기존의 다중 터널 접합 구조의 발광 소자에 따르면, 구조적으로 발광 면적을 넓히는데 한계가 있어 전력 소모의 증가를 감수해야만 했다.
- [154] 그러나, 본 개시의 일 실시 예에 따른 디스플레이 패널은 수평으로 구분된 두 개 이상의 발광 영역을 갖는 다중 터널 접합 발광 소자를 포함하는바, 발광 효율이 떨어지는 색상을 구현하기 위한 발광셀의 발광 면적을 넓게 형성함으로써, 상술한 문제를 극복할 수 있게 한다.
- [155] 즉, 본 개시의 일 실시 예에 따르면, 제1 발광셀의 발광 면적 및 제2 발광셀의 발광 면적이 서로 상이한 발광 소자를 포함하도록 디스플레이 패널을 구현할 수 있다.
- [156] 구체적으로, 도 7에 도시된 바와 같이, 적색을 구현하기 위한 발광셀의 발광 영역(20-1)과 녹색을 구현하기 위한 발광셀의 발광 영역(20-2)은 청색을 구현하기 위한 발광셀의 발광 영역(20-3)에 비하여 넓은 발광 면적을 가지도록 디스플레이 패널을 구현할 수 있다.
- [157] 이처럼, 동일 발광 소자에 포함되는 제1 발광셀의 발광 면적과 제2 발광셀의 발광 면적을 비대칭으로 형성함으로써, 강조하고 싶은 색상을 구현하기 위한 발광셀의 발광 면적을 확장할 수 있으며, 이에 따라 디스플레이 장치의 색 재현성이 향상될 수 있다.
- [158] 그리고, 상술한 바와 같이, 발광 효율이 떨어지는 색상을 구현하기 위한 발광셀의 발광 면적을 넓게 형성함으로써, 디스플레이 장치의 제작에 있어 각각의 화소 색상 별 발광 효율의 차이에 기인한 전력 소모의 문제점을 해소할 수 있게 된다.
- [159]
- [160] 이상에서 본 개시의 바람직한 실시 예에 대하여 도시하고 설명하였다. 그러나, 본 개시는 상술한 바와 같은 특성의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 개시의 요지를 벗어남이 없이 본 개시가 속하는 기술분야에서

통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 개시의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

청구범위

- [청구항 1] 발광 소자에 있어서,
제1 발광층 및 상기 제1 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제1 발광셀;
상기 제1 발광층과 상이한 광을 방출하는 제2 발광층 및 상기 제2 발광층 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제2 발광셀;
상기 제1 발광셀 및 상기 제2 발광셀이 전기적으로 구분될 수 있도록 상기 제1 발광셀 및 상기 제2 발광셀 상에 구비되는 절연층;
상기 제1 발광셀 및 상기 제2 발광셀에 전기적으로 연결되는 공통 전극;
상기 제1 발광셀에 전기적으로 연결되는 제1 화소 전극; 및
상기 제2 발광셀에 전기적으로 연결되는 제2 화소 전극; 을 포함하고,
상기 제1 발광셀의 발광 영역 및 상기 제2 발광셀의 발광 영역은 상기 공통 전극에 의하여 수평으로 구분되는 발광 소자.
- [청구항 2] 제1 항에 있어서,
상기 복수의 도전성 반도체 층은,
상기 제1 발광층 하부에 적층되는 제1 n-GaN층, 상기 제1 발광층 상부에 적층되는 제1 p-GaN층, 상기 제1 p-GaN층 상부에 순차적으로 적층되는 p+-GaN층 및 n+-GaN층, 상기 제2 발광층 하부에 적층되는 제2 n-GaN층 및 상기 제2 발광층 상부에 적층되는 제2 p-GaN층을 포함하는 발광 소자.
- [청구항 3] 제1 항에 있어서,
상기 절연층 상에 구비되는 반사층;
상기 반사층 상에 구비되는 패시베이션층;
상기 절연층에 형성되는 제1 컨택트 홀; 및
상기 절연층, 상기 반사층 및 상기 패시베이션층에 형성되는 제2 컨택트 홀; 을 더 포함하고,
상기 제1 화소 전극 및 상기 제2 화소 전극은 상기 반사층 및 상기 제1 컨택트 홀을 통하여 상기 복수의 도전성 반도체층과 전기적으로 연결되며,
상기 공통 전극은 상기 제2 컨택트 홀을 통하여 상기 복수의 도전성 반도체층과 전기적으로 연결되는 발광 소자.
- [청구항 4] 제1 항에 있어서,
상기 제1 발광셀의 발광 면적은 상기 제2 발광셀의 발광 면적과 상이한 발광 소자.
- [청구항 5] 제1 항에 있어서,
상기 제1 발광층 및 제2 발광층은 다중 양자 우물 구조인 발광 소자.
- [청구항 6] 제1 항에 있어서,
제3 발광층 및 상기 제3 발광층 상하부에 적층되는 복수의 도전성

반도체층을 포함하는 제3 발광셀; 및
 상기 제3 발광셀에 전기적으로 연결되는 제3 화소 전극; 을 더 포함하고,
 상기 제3 발광층이 방출하는 광은 상기 제1 발광층이 방출하는 광 및 상기
 제2 발광층이 방출하는 광 중 적어도 하나와 상이하며,
 상기 공통 전극은 상기 제1 발광셀, 상기 제2 발광셀 및 상기 제3 발광셀에
 전기적으로 연결되고,
 상기 제1 발광셀의 발광 영역, 상기 제2 발광셀의 발광 영역 및 상기 제3
 발광셀의 발광 영역은 상기 공통 전극에 의하여 수평으로 구분되는 발광
 소자.

[청구항 7] 디스플레이 장치에 있어서,
 발광 소자 및 스위칭 소자를 포함하는 디스플레이 패널; 및
 상기 디스플레이 패널을 제어하기 위한 프로세서; 를 포함하고,
 상기 발광 소자는,
 제1 발광층 및 상기 제1 발광층 상하부에 적층되는 복수의 도전성
 반도체층을 포함하는 제1 발광셀;
 상기 제1 발광층과 상이한 광을 방출하는 제2 발광층 및 상기 제2 발광층
 상하부에 적층되는 복수의 도전성 반도체층을 포함하는 제2 발광셀;
 상기 제1 발광셀 및 상기 제2 발광셀이 전기적으로 구분될 수 있도록 상기
 제1 발광셀 및 상기 제2 발광셀 상에 구비되는 절연층;
 상기 제1 발광셀 및 상기 제2 발광셀에 전기적으로 연결되는 공통 전극;
 상기 제1 발광셀에 전기적으로 연결되는 제1 화소 전극; 및
 상기 제2 발광셀에 전기적으로 연결되는 제2 화소 전극; 을 포함하고,
 상기 제1 발광셀의 발광 영역 및 상기 제2 발광셀의 발광 영역은 상기
 공통 전극에 의하여 수평으로 구분되는 디스플레이 장치.

[청구항 8] 제7 항에 있어서,
 상기 디스플레이 패널은,
 상기 제1 화소 전극에 전기적으로 연결되는 제1 스위칭 소자 및 상기 제2
 화소 전극에 전기적으로 연결되는 제2 스위칭 소자를 포함하고,
 상기 프로세서는,
 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 통하여, 상기 제1 발광셀
 및 상기 제2 발광셀의 구동을 독립적으로 제어하는 디스플레이 장치.

[청구항 9] 제7 항에 있어서,
 상기 프로세서는,
 상기 제1 발광셀 및 상기 제2 발광셀 중 적어도 하나에 불량 화소가
 발생하는 경우, 상기 불량 화소를 대체하도록 상기 불량 화소가 발생된
 발광 소자에 인접한 발광 소자에 포함되는 제1 발광셀 및 제2 발광셀 중
 적어도 하나의 구동을 제어하는 디스플레이 장치.

[청구항 10] 제7 항에 있어서,

상기 제1 발광셀의 발광 면적은 상기 제2 발광셀의 발광 면적과 상이한 디스플레이 장치.

[청구항 11] 발광 소자의 제조 방법에 있어서,
 기판 상에 제1 발광층, 상기 제1 발광층과 상이한 광을 방출하는 제2 발광층 및 상기 제1 발광층의 상부와 하부에 적층되는 복수의 도전성 반도체층을 증착하는 단계;
 상기 제1 발광층 및 복수의 도전성 반도체층을 포함하는 제1 발광셀을 형성하는 단계;
 상기 제2 발광층 및 복수의 도전성 반도체층을 포함하며, 상기 제1 발광셀과 수평으로 구분되는 제2 발광셀을 형성하는 단계;
 상기 제1 발광셀 및 상기 제2 발광셀이 전기적으로 구분될 수 있도록 상기 제1 발광셀 및 상기 제2 발광셀 상에 절연층을 증착하는 단계;
 상기 제1 발광셀과 상기 제2 발광셀 사이의 구분된 영역에 상기 제1 발광셀 및 상기 제2 발광셀에 전기적으로 연결되는 공통 전극을 형성하는 단계;
 상기 제1 발광셀에 전기적으로 연결되는 제1 화소 전극을 형성하는 단계; 및
 상기 제2 발광셀에 전기적으로 연결되는 제2 화소 전극을 형성하는 단계; 를 포함하는 발광 소자의 제조 방법.

[청구항 12] 제11 항에 있어서,
 상기 제1 발광층, 제2 발광층 및 복수의 도전성 반도체층을 증착하는 단계는,
 기판상에 제1 n-GaN층을 증착하는 단계;
 상기 제1 n-GaN층 상부에 제1 발광층을 증착하는 단계;
 상기 제1 발광층 상부에 제1 p-GaN층, p+-GaN층 및 n+-GaN층을 순차적으로 증착하는 단계;
 상기 n+-GaN층 상부에 제2 n-GaN층을 증착하는 단계;
 상기 제2 n-GaN층 상부에 제2 발광층을 증착하는 단계;
 상기 제2 발광층 상부에 제2 p-GaN층 증착하는 단계; 를 포함하는 발광 소자의 제조 방법.

[청구항 13] 제11 항에 있어서,
 상기 절연층에 제1 콘택트 홀을 형성하는 단계;
 상기 절연층 상에 반사층을 증착하는 단계;
 상기 반사층 상에 패시베이션층을 증착하는 단계; 및
 상기 절연층, 상기 반사층 및 상기 패시베이션층에 제2 콘택트 홀을 형성하는 단계; 를 더 포함하고,
 상기 제1 콘택트 홀을 형성하는 단계는,
 상기 반사층을 통하여 상기 제1 화소 전극 및 상기 제2 화소 전극이 상기

복수의 도전성 반도체층과 전기적으로 연결될 수 있도록 상기 제1 콘택트 홀을 형성하며,

상기 제2 콘택트 홀을 형성하는 단계는,

상기 공통 전극이 상기 복수의 도전성 반도체층과 전기적으로 연결될 수 있도록 상기 제2 콘택트 홀을 형성하는 발광 소자의 제조 방법.

[청구항 14]

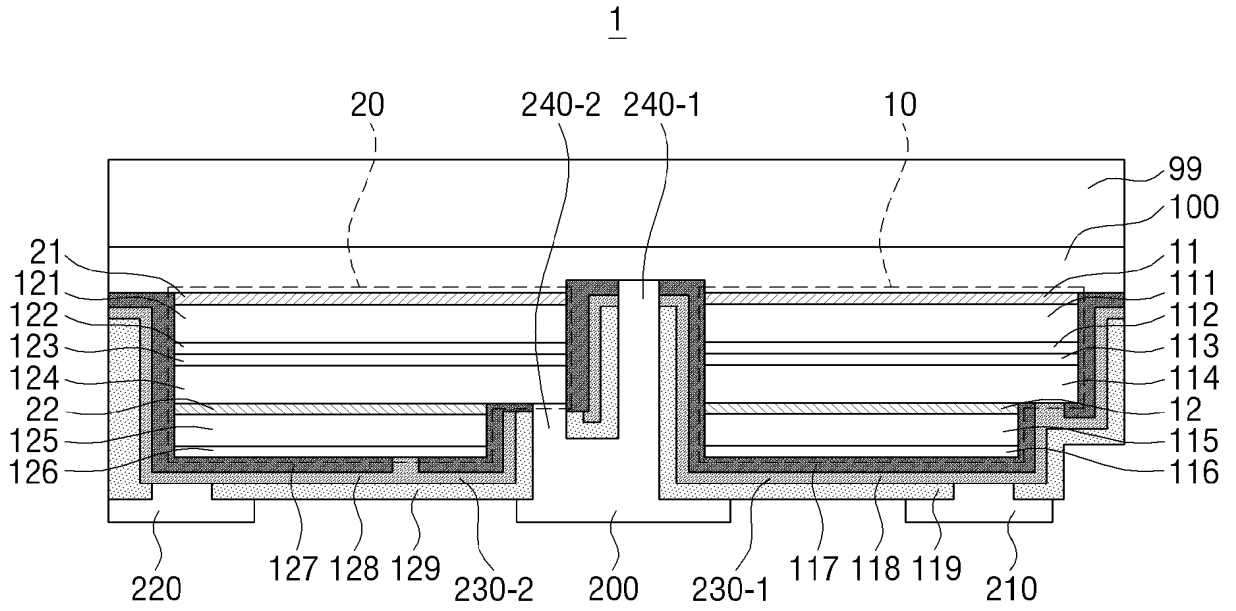
제11 항에 있어서,

상기 제2 발광셀을 형성하는 단계는,

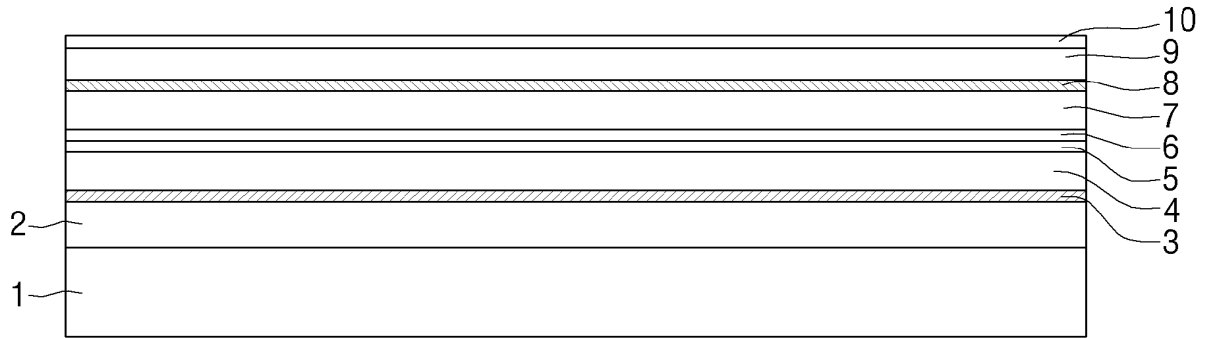
상기 제2 발광셀의 발광 면적을 상기 제1 발광셀의 발광 면적과

상이하도록 상기 제2 발광셀을 형성하는 발광 소자의 제조 방법.

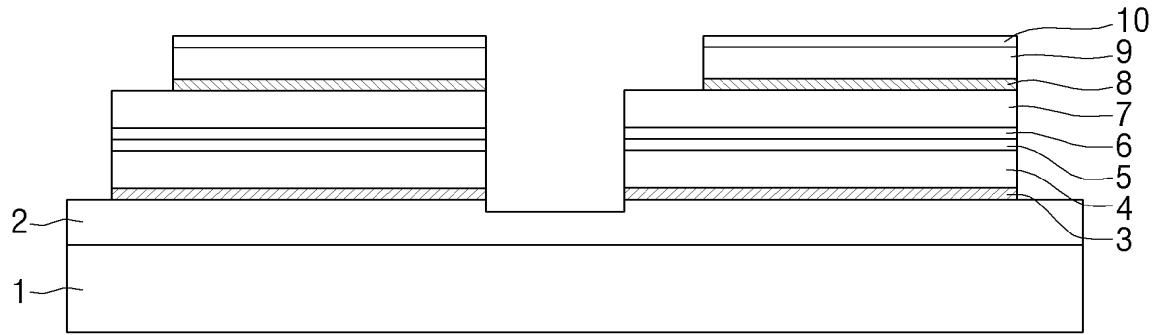
[도1]



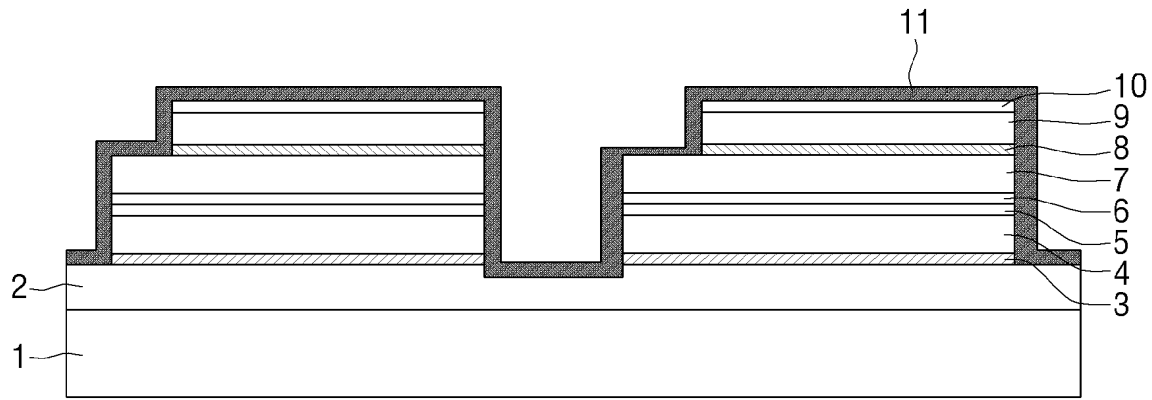
[도2a]



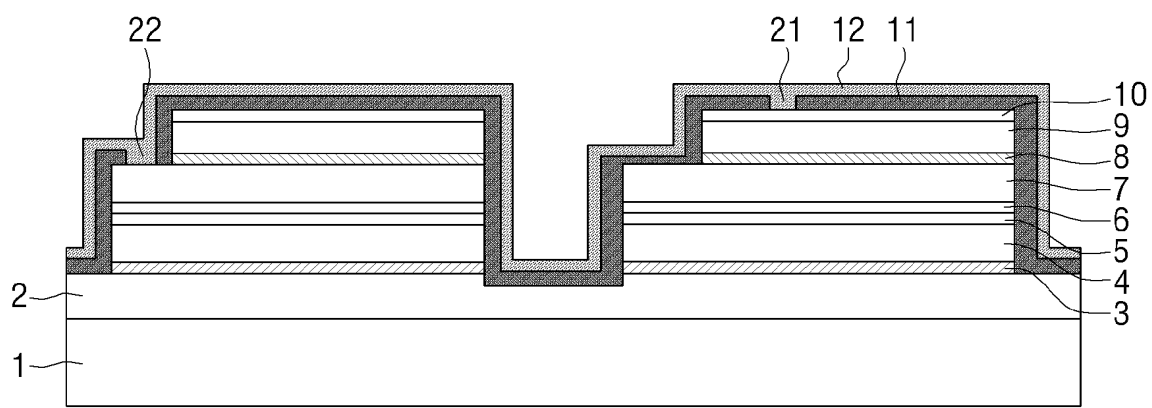
[도2b]



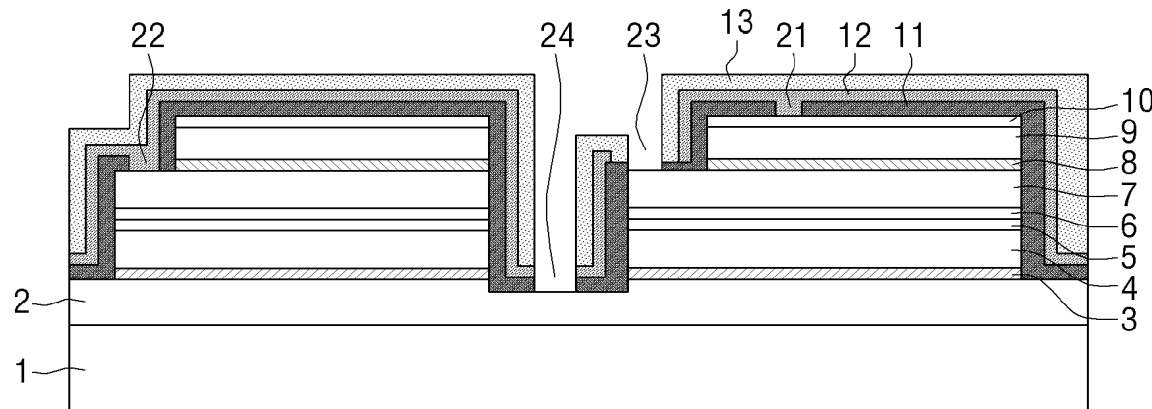
[도2c]



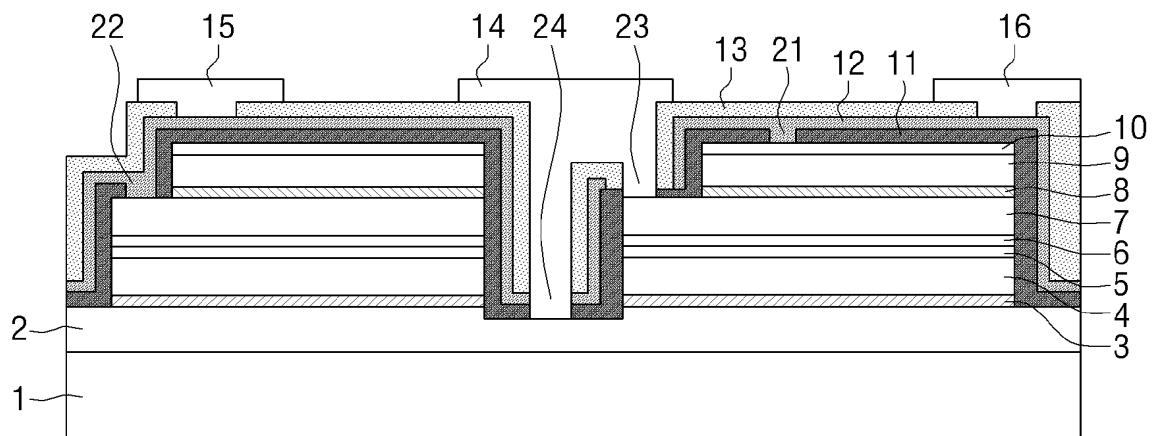
[도2d]



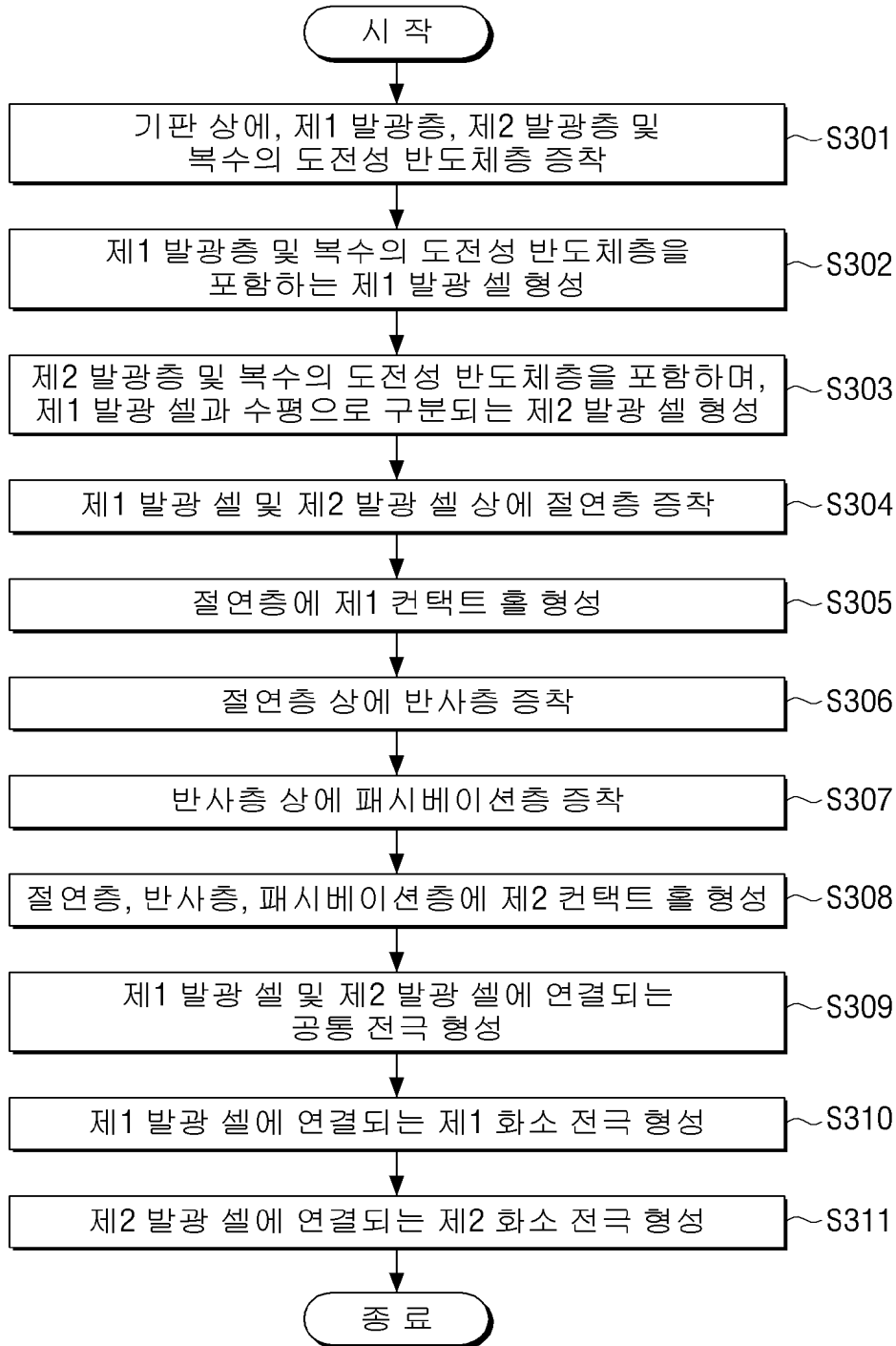
[도2e]



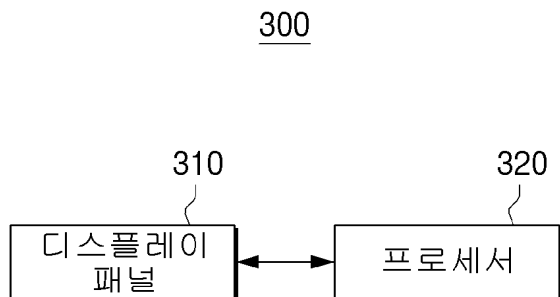
[도2f]



[도3]

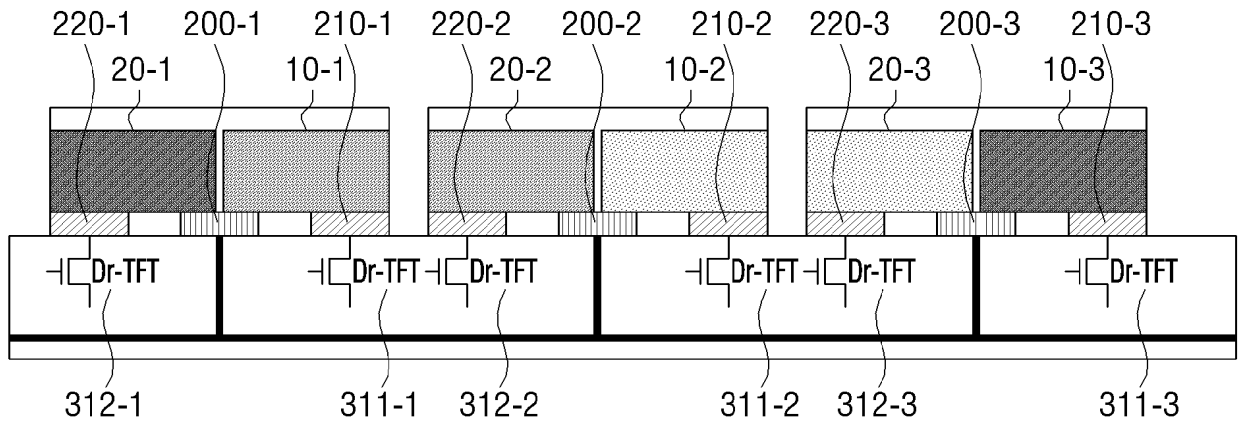


[도4]

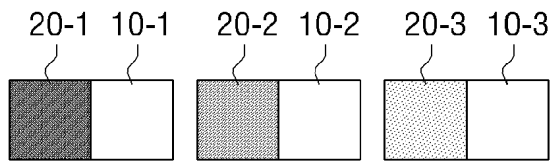


[도5]

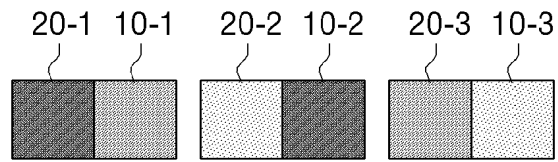
310



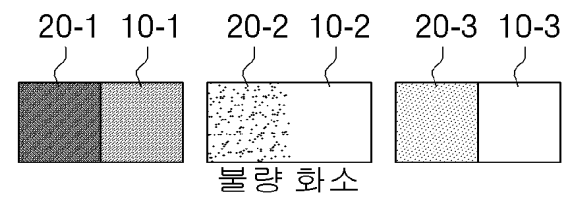
[도6a]



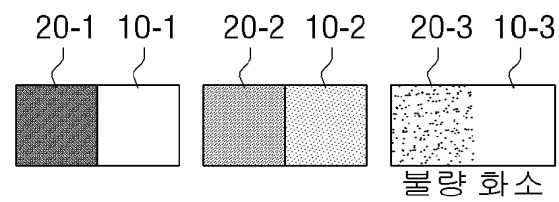
[도6b]



[도6c]

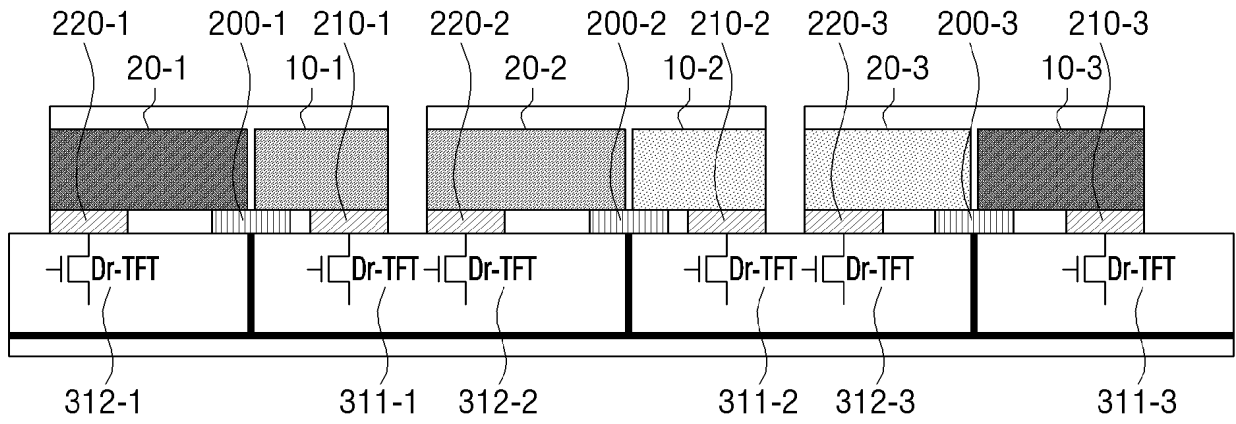


[도6d]



[도7]

310



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/008481**A. CLASSIFICATION OF SUBJECT MATTER***H01L 27/15(2006.01)i, H01L 33/62(2010.01)i, H01L 33/06(2010.01)i, H01L 33/00(2010.01)i, H01L 33/24(2010.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15; H01L 21/00; H01L 27/32; H01L 33/00; H01L 33/32; H01L 33/38; H01L 33/48; H01L 33/62; H01L 33/06; H01L 33/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)


eKOMPASS (KIPO internal) & Keywords: pixel, light emitting element, common electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107680989 A (AU OPTRONICS CORP.) 09 February 2018 See paragraphs [0067]-[0107], claim 1 and figures 1-7.	1-2,4-5,7-8,10
A		3,6,9,11-14
A	US 2009-0078955 A1 (FAN, Zhaoyang et al.) 26 March 2009 See paragraphs [0042]-[0057] and figures 1A-3B.	1-14
A	US 2017-0213868 A1 (CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE) 27 July 2017 See paragraphs [0053]-[0084] and figures 1A-3.	1-14
A	KR 10-2017-0122008 A (LG INNOTEK CO., LTD.) 03 November 2017 See paragraphs [0023]-[0065] and figures 1-5.	1-14
A	KR 10-2018-0071743 A (LG DISPLAY CO., LTD.) 28 June 2018 See paragraphs [0022]-[0109] and figures 1-5.	1-14

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 OCTOBER 2019 (18.10.2019)	Date of mailing of the international search report 18 OCTOBER 2019 (18.10.2019)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/008481

Patent document cited in search report	Publication date	Patent family member	Publication date
CN 107680989 A	09/02/2018	TW 201911620 A TW 1641169 B US 10403612 B2 US 2019-0035773 A1	16/03/2019 11/11/2018 03/09/2019 31/01/2019
US 2009-0078955 A1	26/03/2009	US 8058663 B2	15/11/2011
US 2017-0213868 A1	27/07/2017	EP 3127159 A1 EP 3127159 B1 FR 3019380 A1 FR 3019380 B1 JP 2017-513225 A KR 10-2016-0139004 A US 10103195 B2 WO 2015-150281 A1	08/02/2017 24/04/2019 02/10/2015 01/09/2017 25/05/2017 06/12/2016 16/10/2018 08/10/2015
KR 10-2017-0122008 A	03/11/2017	None	
KR 10-2018-0071743 A	28/06/2018	CN 108206234 A DE 102017129926 A1 GB 2559046 A JP 2018-101785 A US 2018-0175268 A1	26/06/2018 21/06/2018 25/07/2018 28/06/2018 21/06/2018

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/15(2006.01)i, H01L 33/62(2010.01)i, H01L 33/06(2010.01)i, H01L 33/00(2010.01)i, H01L 33/24(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/15; H01L 21/00; H01L 27/32; H01L 33/00; H01L 33/32; H01L 33/38; H01L 33/48; H01L 33/62; H01L 33/06; H01L 33/24

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 화소(pixel), 발광 소자(light emitting element), 공통 전극(common electrode)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	CN 107680989 A (AU OPTRONICS CORP.) 2018.02.09 단락 [0067]-[0107], 청구항 1 및 도면 1-7 참조.	1-2,4-5,7-8,10
A		3,6,9,11-14
A	US 2009-0078955 A1 (ZHAOYANG FAN 등) 2009.03.26 단락 [0042]-[0057] 및 도면 1A-3B 참조.	1-14
A	US 2017-0213868 A1 (CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE) 2017.07.27 단락 [0053]-[0084] 및 도면 1A-3 참조.	1-14
A	KR 10-2017-0122008 A (엘지이노텍 주식회사) 2017.11.03 단락 [0023]-[0065] 및 도면 1-5 참조.	1-14
A	KR 10-2018-0071743 A (엘지디스플레이 주식회사) 2018.06.28 단락 [0022]-[0109] 및 도면 1-5 참조.	1-14

추가 문헌이 C(계속)에 기재되어 있습니다.

대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X”에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

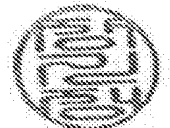
“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일
2019년 10월 18일 (18.10.2019)

국제조사보고서 발송일
2019년 10월 18일 (18.10.2019)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
장기정
전화번호 +82-42-481-8364



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
CN 107680989 A	2018/02/09	TW 201911620 A TW I641169 B US 10403612 B2 US 2019-0035773 A1	2019/03/16 2018/11/11 2019/09/03 2019/01/31
US 2009-0078955 A1	2009/03/26	US 8058663 B2	2011/11/15
US 2017-0213868 A1	2017/07/27	EP 3127159 A1 EP 3127159 B1 FR 3019380 A1 FR 3019380 B1 JP 2017-513225 A KR 10-2016-0139004 A US 10103195 B2 WO 2015-150281 A1	2017/02/08 2019/04/24 2015/10/02 2017/09/01 2017/05/25 2016/12/06 2018/10/16 2015/10/08
KR 10-2017-0122008 A	2017/11/03	없음	
KR 10-2018-0071743 A	2018/06/28	CN 108206234 A DE 102017129926 A1 GB 2559046 A JP 2018-101785 A US 2018-0175268 A1	2018/06/26 2018/06/21 2018/07/25 2018/06/28 2018/06/21