

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/004021 A1

(51) 国際特許分類:

H01L 21/338 (2006.01) H01L 29/778 (2006.01)  
C30B 29/38 (2006.01) H01L 29/808 (2006.01)  
H01L 21/337 (2006.01) H01L 29/812 (2006.01)  
H01L 21/365 (2006.01)

(21) 国際出願番号: PCT/JP2019/023188

(22) 国際出願日: 2019年6月12日(12.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2018-125452 2018年6月29日(29.06.2018) JP

(71) 出願人: パナソニックIPマネジメント株式会社  
(PANASONIC INTELLECTUAL PROPERTY

MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207  
大阪府大阪市中央区域見2丁目1  
番61号 Osaka (JP).

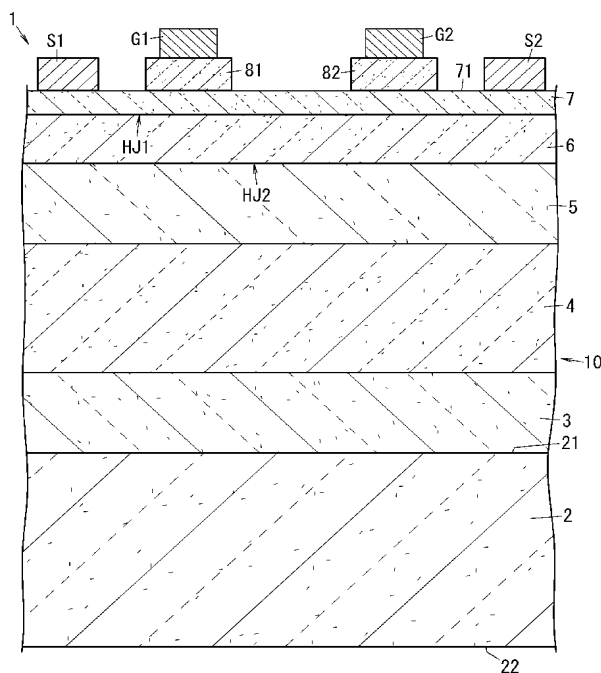
(72) 発明者: 野村 雅則(NOMURA, Masanori). 上野  
弘明(UENO, Hiroaki). 木下 雄介(KINOSHITA,  
Yusuke). 山田 康博(YAMADA, Yasuhiro). 石  
田 秀俊(ISHIDA, Hidetoshi).

(74) 代理人: 特許業務法人北斗特許事務  
所(HOKUTO PATENT ATTORNEYS OFFICE);  
〒5300001 大阪府大阪市北区梅田一丁目12  
- 17 梅田スクエアビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: BI-DIRECTIONAL SWITCH ELEMENT

(54) 発明の名称: 双方向スイッチ素子



(57) Abstract: The present invention addresses the problem of reducing current collapse. A bi-directional switch element (1) includes a substrate (2), an  $Al_zGa_{1-z}N$  layer (GaN layer 6), an  $Al_bGa_{1-b}N$  layer (first AlGaIn layer 7), a first source electrode (S1), a first gate electrode (G1), a second gate electrode (G2), a second source electrode (S2), a p-type  $Al_{x1}Ga_{1-x1}N$  layer (first p-type AlGaIn layer 81), a p-type  $Al_{x2}Ga_{1-x2}N$  layer (second p-type AlGaIn layer 82), an  $Al_yGa_{1-y}N$  layer (second AlGaIn layer 5), and an  $Al_wGa_{1-w}N$  layer (third AlGaIn layer 4). The



WO 2020/004021 A1

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

$Al_zGa_{1-z}N$  layer is formed on the substrate (2). The  $Al_bGa_{1-b}N$  layer is formed on the  $Al_zGa_{1-z}N$  layer. The  $Al_yGa_{1-y}N$  layer is interposed between the substrate (2) and the  $Al_zGa_{1-z}N$  layer. The  $Al_wGa_{1-w}N$  layer is interposed between the substrate (2) and the  $Al_yGa_{1-y}N$  layer, and has a concentration of C that is higher than that of the  $Al_yGa_{1-y}N$  layer.

(57) 要約 : 本開示の課題は、電流コラプスを抑制することである。双方向スイッチ素子 (1) は、基板 (2)、 $Al_zGa_{1-z}N$  層 (GaN 層 6)、 $Al_bGa_{1-b}N$  層 (第 1 の AlGaN 層 7)、第 1 のソース電極 (S1)、第 1 のゲート電極 (G1)、第 2 のゲート電極 (G2)、第 2 のソース電極 (S2)、p 型  $Al_{x_1}Ga_{1-x_1}N$  層 (第 1 の p 型 AlGaN 層 81)、p 型  $Al_{x_2}Ga_{1-x_2}N$  層 (第 2 の p 型 AlGaN 層 82)、 $Al_yGa_{1-y}N$  層 (第 2 の AlGaN 層 5)、及び  $Al_wGa_{1-w}N$  層 (第 3 の AlGaN 層 4) を備える。 $Al_zGa_{1-z}N$  層は、基板 (2) 上に形成されている。 $Al_bGa_{1-b}N$  層は、 $Al_zGa_{1-z}N$  層上に形成されている。 $Al_yGa_{1-y}N$  層は、基板 (2) と  $Al_zGa_{1-z}N$  層との間に介在している。 $Al_wGa_{1-w}N$  層は、基板 (2) と  $Al_yGa_{1-y}N$  層との間に介在し、 $Al_yGa_{1-y}N$  層よりも C の濃度が高い。

## 明 細 書

発明の名称： 双方向スイッチ素子

### 技術分野

[0001] 本開示は、一般に双方向スイッチ素子に関し、より詳細には2つのゲート電極を備える双方向スイッチ素子に関する。

### 背景技術

[0002] 従来、ダブルゲート（デュアルゲート）の半導体素子である双方向スイッチ素子が提案されている（特許文献1）。

[0003] 特許文献1に記載された双方向スイッチ素子は、シリコンからなる導電性の基板上にAlNからなるバッファ層を介在させて、半導体層積層体が形成されている。半導体層積層体は、アンドープのGaNからなる第1の層（GaN層）と、アンドープのAlGaNからなる第2の層（第1のAlGaN層）とが下側から順次積層されている。

[0004] 第1の層の第2の層とのヘテロ界面近傍には、2次元電子ガス層であるチャネル領域が生成されている。

[0005] 半導体層積層体の上には、互いに間隔をおいて第1のオーミック電極（第1のソース電極）及び第2のオーミック電極（第2のソース電極）が形成されている。半導体層積層体の上における第1のオーミック電極と第2のオーミック電極との間の領域に、第1のオーミック電極側から順に、第1のp型窒化物半導体層を介在させて形成された第1のゲート電極と、第2のp型窒化物半導体層を介在させて形成された第2のゲート電極と、が並んでいる。

[0006] 特許文献1に記載の双方向スイッチ素子では、例えば基板を電氣的にフローティングにした状態で使用された場合に、スイッチング時のオン抵抗が増加する電流コラプスが発生することがあった。電流コラプスは、高電圧印加時にチャネル近傍（結晶、界面等）に電子が捕獲され、オン抵抗が増大する現象である。

### 先行技術文献

## 特許文献

[0007] 特許文献1：特開2011-204993号公報

## 発明の概要

[0008] 本開示の目的は、電流コラプスを抑制することが可能な双方向スイッチ素子を提供することにある。

## 課題を解決するための手段

[0009] 本開示に係る一態様の双方向スイッチ素子は、基板と、 $Al_zGa_{1-z}N$ 層（ここで、 $0 \leq z < 1$ ）と、 $Al_bGa_{1-b}N$ 層（ここで、 $0 < b < 1$ ）と、第1のソース電極と、第1のゲート電極と、第2のゲート電極と、第2のソース電極と、p型 $Al_{x_1}Ga_{1-x_1}N$ 層（ここで、 $0 \leq x_1 \leq 1$ ）と、p型 $Al_{x_2}Ga_{1-x_2}N$ 層（ここで、 $0 \leq x_2 \leq 1$ ）と、 $Al_yGa_{1-y}N$ 層（ここで、 $0 < y < 1$ 、かつ、 $z < y < b$ ）と、 $Al_wGa_{1-w}N$ 層（ここで、 $0 < w < 1$ 、かつ、 $z < w < b$ ）と、を備える。前記 $Al_zGa_{1-z}N$ 層は、前記基板上に形成されている。前記 $Al_bGa_{1-b}N$ 層は、前記 $Al_zGa_{1-z}N$ 層上に形成されている。前記第1のソース電極、前記第1のゲート電極、前記第2のゲート電極、及び、前記第2のソース電極は、前記 $Al_bGa_{1-b}N$ 層上に形成されている。前記p型 $Al_{x_1}Ga_{1-x_1}N$ 層は、前記第1のゲート電極と前記 $Al_bGa_{1-b}N$ 層との間に介在している。前記p型 $Al_{x_2}Ga_{1-x_2}N$ 層は、前記第2のゲート電極と前記 $Al_bGa_{1-b}N$ 層との間に介在している。前記 $Al_yGa_{1-y}N$ 層は、前記基板と前記 $Al_zGa_{1-z}N$ 層との間に介在している。前記 $Al_wGa_{1-w}N$ 層は、前記基板と前記 $Al_yGa_{1-y}N$ 層との間に介在している。前記 $Al_wGa_{1-w}N$ 層のCの濃度は、前記 $Al_yGa_{1-y}N$ 層のCの濃度よりも高い。

## 図面の簡単な説明

[0010] [図1]図1は、実施形態1に係る双方向スイッチ素子の断面図である。

[図2]図2Aは、実施形態1に係る双方向スイッチ素子のオン抵抗比—電圧特性図である。図2Bは、比較例に係る双方向スイッチ素子のオン抵抗比—電

圧特性図である。

[図3]図3は、実施形態1の変形例に係る双方向スイッチ素子の断面図である。

[図4]図4は、実施形態1に係る双方向スイッチ素子及び比較例に係る双方向スイッチ素子の電流－電圧特性図である。

[図5]図5は、実施形態2に係る双方向スイッチ素子の断面図である。

[図6]図6は、実施形態2に係る双方向スイッチ素子及び比較例に係る双方向スイッチ素子の電流－電圧特性図である。

[図7]図7は、実施形態3に係る双方向スイッチ素子の断面図である。

### 発明を実施するための形態

[0011] 下記の実施形態等において説明する図1、3、5及び7は、模式的な図であり、図1、3、5及び7中の各構成要素の大きさや厚さそれぞれの比が、必ずしも実際の寸法比を反映しているとは限らない。

[0012] (実施形態1)

以下では、実施形態1に係る双方向スイッチ素子1について、図1に基づいて説明する。

[0013] 双方向スイッチ素子1は、例えば、交流－交流電力変換を行うマトリクスコンバータ等の電力変換装置に使用可能であるが、これに限らず、例えば、リレー、照明装置の調光用の交流スイッチ等にも使用可能である。双方向スイッチ素子1は、例えば、デュアルゲート型のGaN系GIT (Gate Injection Transistor) である。

[0014] 双方向スイッチ素子1は、基板2と、GaN層6と、第1のAlGaN層7と、第1のソース電極S1と、第1のゲート電極G1と、第2のゲート電極G2と、第2のソース電極S2と、第1のp型AlGaN層81と、第2のp型AlGaN層82と、を備える。

[0015] GaN層6は、基板2上に形成されている。第1のAlGaN層7は、GaN層6上に形成されており、GaN層6と共に第1のヘテロ接合部HJ1を構成する。GaN層6においては、第1ヘテロ接合部HJ1の近傍に、2

次元電子ガス (Two-Dimensional Electron Gas) が発生している。2次元電子ガスを含む領域 (以下、「2次元電子ガス層」ともいう) は、nチャネル層 (電子伝導層) として機能することが可能である。

[0016] 第1のソース電極S1は、第1のAlGaIn層7上に形成されている。第1のゲート電極G1は、第1のAlGaIn層7上に形成されている。第2のゲート電極G2は、第1のAlGaIn層7上における、第1のゲート電極G1から見て第1のソース電極S1とは反対側の位置に形成されている。第2のソース電極S2は、第1のAlGaIn層7上における、第2のゲート電極G2から見て第1のゲート電極G1とは反対側の位置に形成されている。ここにおいて、双方向スイッチ素子1では、第1のAlGaIn層7の表面71に沿った一方向において、第1のソース電極S1、第1のゲート電極G1、第2のゲート電極G2及び第2のソース電極S2が、この順に並んでいる。第1のソース電極S1、第1のゲート電極G1、第2のゲート電極G2及び第2のソース電極S2は、上記一方向において互いに離れている。

[0017] 双方向スイッチ素子1は、ノーマリオフ型の双方向スイッチ素子であり、上述の第1のp型AlGaIn層81と、第2のp型AlGaIn層82と、を備えている。第1のp型AlGaIn層81は、第1のゲート電極G1と第1のAlGaIn層7との間に介在している。第2のp型AlGaIn層82は、第2のゲート電極G2と第1のAlGaIn層7との間に介在している。

[0018] 以下では、説明の便宜上、第1のゲート電極G1と第1のソース電極S1との間に第1の閾値電圧以上の電圧が印加されていない状態を、第1のゲート電極G1がオフ状態ともいう。また、第1のゲート電極G1と第1のソース電極S1との間に第1のゲート電極G1を高電位側として第1の閾値電圧以上の電圧が印加されている状態を、第1のゲート電極G1がオン状態ともいう。また、第2のゲート電極G2と第2のソース電極S2との間に第2の閾値電圧以上の電圧が印加されていない状態を、第2のゲート電極G2がオフ状態ともいう。また、第2のゲート電極G2と第2のソース電極S2との間に第2のゲート電極G2を高電位側として第2の閾値電圧以上の電圧が印

加されている状態を、第2のゲート電極G2がオン状態ともいう。

[0019] 双方向スイッチ素子1は、上述の第1のp型AlGaIn層81及び第2のp型AlGaIn層82を備えることにより、ノーマリオフ型のトランジスタを実現している。ここにおいて、第1のp型AlGaIn層81は、第1のゲート電極G1がオフ状態のときに、第1のp型AlGaIn層81直下において第1のAlGaIn層7とGaIn層6とに空乏層を形成する。第2のp型AlGaIn層82は、第2のゲート電極G2がオフ状態のときに、第2のp型AlGaIn層82直下において第1のAlGaIn層7とGaIn層6とに空乏層を形成する。双方向スイッチ素子1では、第1のゲート電極G1がオン状態のときには、第1のゲート電極G1と第1のソース電極S1との間を2次元電子ガスでつなげることができる（第1のゲート電極G1と第1のソース電極S1との間で2次元電子ガスが空乏層により遮られなくなる）。また、双方向スイッチ素子1では、第2のゲート電極G2がオン状態のときには、第2のゲート電極G2と第2のソース電極S2との間を2次元電子ガスでつなげることができる（第2のゲート電極G2と第2のソース電極S2との間で2次元電子ガスが空乏層により遮られなくなる）。

[0020] 双方向スイッチ素子1では、第1のゲート電極G1がオフ状態で、かつ第2のゲート電極G2がオフ状態である場合（第1の動作モードの場合）、第1のソース電極S1と第2のソース電極S2との間において、いずれの方向にも電流を流すことができない。より詳細には、第1の動作モードの場合、第1のソース電極S1が第2のソース電極S2よりも高電位のときに第1のソース電極S1から第2のソース電極S2へ流れる電流が遮断され、かつ、第2のソース電極S2が第1のソース電極S1よりも高電位のときに第2のソース電極S2から第1のソース電極S1へ流れる電流が遮断される。

[0021] 双方向スイッチ素子1では、第1のゲート電極G1がオン状態で、かつ第2のゲート電極G2がオン状態である場合（第2の動作モードの場合）、第1のソース電極S1と第2のソース電極S2との間において、双方向に電流を流すことができる。より詳細には、第2の動作モードの場合、第1のソー

ス電極S 1が第2のソース電極S 2よりも高電位のとときに第1のソース電極S 1から第2のソース電極S 2へ電流が流れ、かつ、第2のソース電極S 2が第1のソース電極S 1よりも高電位のとときに第2のソース電極S 2から第1のソース電極S 1へ電流が流れる。

[0022] 双方向スイッチ素子1では、第1のゲート電極G 1がオン状態で、かつ第2のゲート電極G 2がオフ状態である場合（第3の動作モードの場合）、ダイオードとして機能する。より詳細には、第3の動作モードの場合、第1のソース電極S 1が第2のソース電極S 2よりも高電位のとときには第1のソース電極S 1から第2のソース電極S 2へ流れる電流が遮断され、かつ、第2のソース電極S 2が第1のソース電極S 1よりも第2の閾値電圧以上、高電位のとときには第2のソース電極S 2から第1のソース電極S 1へ電流が流れる。

[0023] 双方向スイッチ素子1では、第1のゲート電極G 1がオフ状態で、かつ第2のゲート電極G 2がオン状態である場合（第4の動作モードの場合）、ダイオードとして機能する。より詳細には、第4の動作モードの場合、第2のソース電極S 2が第1のソース電極S 1よりも高電位のとときには第2のソース電極S 2から第1のソース電極S 1へ流れる電流が遮断され、かつ、第1のソース電極S 1が第2のソース電極S 2よりも第1の閾値電圧以上、高電位のとときには第1のソース電極S 1から第2のソース電極S 2へ電流が流れる。

[0024] なお、双方向スイッチ素子1では、第1の閾値電圧と第2の閾値電圧とが同じ値であるが、互いの異なる値であってもよい。

[0025] ところで、双方向スイッチ素子1は、第2のAlGaIn層5と、第3のAlGaIn層4と、を更に備える。第2のAlGaIn層5は、基板2とGaIn層6との間に位置しており、GaIn層6と共に第2のヘテロ接合部HJ2を構成する。第3のAlGaIn層4は、基板2と第2のAlGaIn層5との間に位置している。

[0026] 双方向スイッチ素子1は、基板2と第3のAlGaIn層4との間に位置し



ているバッファ層3を更に備える。したがって、双方向スイッチ素子1は、バッファ層3と第3のAlGaIn層4と第2のAlGaIn層5とGaIn層6と第1のAlGaIn層7と第1のp型AlGaIn層81及び第2のp型AlGaIn層82とを含む積層体10を有している。

[0027] 双方向スイッチ素子1の厚さ方向からの平面視における双方向スイッチ素子1の外周形状は、例えば、正方形形状である。双方向スイッチ素子1の外周形状は、正方形形状に限らず、例えば、長方形形状等でもよい。

[0028] 以下、双方向スイッチ素子1の各構成要素について、より詳細に説明する。

[0029] 基板2は、シリコン基板である。したがって、基板2は、導電性基板の一種である。基板2は、第1主面21及び第2主面22を有する。基板2の第1主面21及び第2主面22は、基板2の厚さ方向に直交する。ここにおいて、「直交」とは、厳密に直交する場合のみに限定されず、略直交（厚さ方向と第1主面21又は第2主面22とのなす角度が例えば $90^\circ \pm 5^\circ$ ）でもよい。第2主面22は、基板2の厚さ方向において第1主面21の反対側に位置している。双方向スイッチ素子1では、積層体10は、基板2の第1主面21上に形成されている。基板2の第1主面21は、例えば、(111)面である。基板2の第1主面21は、例えば、(111)面からのオフ角（以下、「第1オフ角」という）が $0^\circ$ よりも大きく $5^\circ$ 以下の結晶面でもよい。ここにおいて、「第1オフ角」とは、(111)面に対する第1主面21の傾斜角である。したがって、オフ角が $0^\circ$ であれば、第1主面21は、(111)面である。(111)面は、3つの指数を括弧のなかに入れて表記したミラー指数 (Miller Index) による結晶面である。基板2の厚さは、例えば、 $100\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下である。

[0030] 積層体10は、上述のように、バッファ層3と、第3のAlGaIn層4と、第2のAlGaIn層5と、GaIn層6と、第1のAlGaIn層7と、を含む。積層体10では、バッファ層3、第3のAlGaIn層4、第2のAlGaIn層5、GaIn層6及び第1のAlGaIn層7は、基板2側からこの順に

並んでいる。バッファ層3は、基板2上に直接形成されている。第3のAlGaIn層4は、バッファ層3上に直接形成されている。第2のAlGaIn層5は、第3のAlGaIn層4上に直接形成されている。GaIn層6は、第2のAlGaIn層5上に直接形成されている。第1のAlGaIn層7は、GaIn層6上に直接形成されている。また、積層体10は、第1のAlGaIn層7上に直接形成されている第1のp型AlGaIn層81及び第2のp型AlGaIn層82を含んでいる。

[0031] 積層体10は、基板2上に例えばMOVPE (Metal Organic Vapor Phase Epitaxy) によって成長されたエピタキシャル成長層である。基板2上に積層体10を成長させるエピタキシャル成長装置としてMOVPE装置を採用する場合、Alの原料ガスとしては、トリメチルアルミニウム (TMAI) を採用するのが好ましい。また、Gaの原料ガスとしては、トリメチルガリウム (TMGa) を採用するのが好ましい。Nの原料ガスとしては、NH<sub>3</sub>を採用するのが好ましい。p型導電性に寄与する不純物であるMgの原料ガスとしては、ビスシクロペンタジエニルマグネシウム (Cp<sub>2</sub>Mg) を採用するのが好ましい。各原料ガスそれぞれのキャリアガスとしては、例えば、H<sub>2</sub>ガスを採用するのが好ましい。各原料ガスは、特に限定されず、例えば、Gaの原料ガスとしてトリエチルガリウム (TEGa)、Nの原料ガスとしてヒドラジン誘導体を採用してもよい。

[0032] バッファ層3は、例えば、アンドープのGaIn層である。バッファ層3は、第3のAlGaIn層4、第2のAlGaIn層5、GaIn層6、第1のAlGaIn層7、第1のp型AlGaIn層81及び第2のp型AlGaIn層82の結晶性の向上を目的として設けた層である。バッファ層3は、基板2の第1主面21上に直接形成されている。バッファ層3を構成するアンドープのGaIn層は、その成長時に不可避免的に混入されるMg、H、Si、C、O等の不純物が存在してもよい。バッファ層3の厚さは、例えば、100nm以上3000nm以下である。

[0033] GaIn層6は、アンドープのGaIn層である。GaIn層6を構成するアン

ドーパのGaN層は、その成長時に不可避免的に混入されるMg、H、Si、C、O等の不純物が存在してもよい。GaN層6の厚さは、例えば、100nm以上700nm以下である。

[0034] 第1のAlGaN層7は、アンドープのAlGaN層である。上述のように、第1のAlGaN層7は、GaN層6と共に第1のヘテロ接合部HJ1を構成する。GaN層6においては、第1ヘテロ接合部HJ1の近傍に、2次元電子ガスが発生している。第1のAlGaN層7を構成するアンドープのAlGaN層は、その成長時に不可避免的に混入されるMg、H、Si、C、O等の不純物が存在してもよい。第1のAlGaN層7を構成するアンドープのAlGaN層のAlの組成比は、例えば、0.20である。本明細書において、Alの組成比とは、AlGaN層を $Al_xGa_{1-x}N$ 層で表したときのxの値である。つまり、第1のAlGaN層7は、アンドープの $Al_{0.2}Ga_{0.8}N$ 層である。組成比は、例えば、EDX (Energy Dispersive X-ray Spectroscopy) による組成分析で求めた値である。組成比の相対的な大小関係を議論する上では、組成比は、EDXに限らず、例えば、オージェ電子分光 (Auger Electron Spectroscopy) による組成分析、SIMSによる組成分析で求めた値でもよい。実施形態1に係る双方向スイッチ素子1では、GaN層6、第1のAlGaN層7、第1のp型AlGaN層81、第2のp型AlGaN層82、第2のAlGaN層5及び第3のAlGaN層4が、それぞれ、 $Al_zGa_{1-z}N$ 層 (ここで、 $0 \leq z < 1$ )、 $Al_bGa_{1-b}N$ 層 (ここで、 $0 < b < 1$ )、p型 $Al_{x_1}Ga_{1-x_1}N$ 層 (ここで、 $0 \leq x_1 \leq 1$ )、p型 $Al_{x_2}Ga_{1-x_2}N$ 層 (ここで、 $0 \leq x_2 \leq 1$ )、 $Al_yGa_{1-y}N$ 層 (ここで、 $0 < y < 1$ 、かつ、 $z < y < b$ ) 及び $Al_wGa_{1-w}N$ 層 (ここで、 $0 < w < 1$ 、かつ、 $z < w < b$ ) の一例である。

[0035] 第1のAlGaN層7の厚さは、例えば、10nm以上100nm以下である。

[0036] 第1のp型AlGaN層81及び第2のp型AlGaN層82は、第1のAlGaN層7の表面71の一部のみを覆っている。したがって、第1のA

I Ga N層7の表面71は、第1のp型A I Ga N層81及び第2のp型A I Ga N層82に覆われている領域と、第1のp型A I Ga N層81及び第2のp型A I Ga N層82に覆われていない領域と、を含む。第1のp型A I Ga N層81と第2のp型A I Ga N層82とは、互いに離れている。第1のp型A I Ga N層81及び第2のp型A I Ga N層82は、その成長時にMgがドーピングされており、Mgを含有している。第1のp型A I Ga N層81及び第2のp型A I Ga N層82は、MOVPE装置によって第1のp型A I Ga N層81と第2のp型A I Ga N層82との元になるp型A I Ga N層を第1のA I Ga N層7上に成長させた後に、フォトリソグラフィ技術及びエッチング技術を利用してp型A I Ga N層をパターニングすることによって形成されている。

[0037] 第1のp型A I Ga N層81のA Iの組成比と第2のp型A I Ga N層82のA Iの組成比とは同じである。第1のp型A I Ga N層81及び第2のp型A I Ga N層82のA Iの組成比は、第1のA I Ga N層7のA Iの組成比と同じ（例えば、0.20）であるが、第1のA I Ga N層7のA Iの組成比と異なってもよい。第1のp型A I Ga N層81及び第2のp型A I Ga N層82の厚さは、例えば、50nm以上300nm以下である。

[0038] 第1のソース電極S1及び第2のソース電極S2は、第1のA I Ga N層7の表面71において第1のp型A I Ga N層81及び第2のp型A I Ga N層82に覆われていない領域に形成されている。第1のソース電極S1と第2のソース電極S2とは、互いに離れている。第1のソース電極S1及び第2のソース電極S2は、第1ヘテロ接合部HJ1と電氣的に接続されている。ここにおいて、「電氣的に接続されている」とはオーミック接触していることを意味する。第1のソース電極S1及び第2のソース電極S2の各々は、例えば、TiとAlとを含んでいる。

[0039] 第1のゲート電極G1は、第1のp型A I Ga N層81を介して第1のA I Ga N層7上に形成されている。また、第2のゲート電極G2は、第2のp型A I Ga N層82を介して第1のA I Ga N層7上に形成されている。

第1のゲート電極G1と第2のゲート電極G2との距離は、第1のp型AlGaIn層81と第2のp型AlGaIn層82との距離よりも長い。第1のゲート電極G1及び第2のゲート電極G2の各々は、第1のAlGaIn層7の表面71に沿った方向において、対応する第1のソース電極S1及び第2のソース電極S2それぞれから離れている。第1のゲート電極G1及び第2のゲート電極G2は、例えば、第1のp型AlGaIn層81及び第2のp型AlGaIn層82にそれぞれオーミック接触している。第1のゲート電極G1及び第2のゲート電極G2の各々は、例えば、PdとAuとを含んでいる。

[0040] 第2のAlGaIn層5は、上述のように、GaIn層6と共に第2のヘテロ接合部HJ2を構成する。第2のAlGaIn層5は、GaIn層6の厚さ方向において、第1のAlGaIn層7側とは反対側に位置している。要するに、第2のAlGaIn層5は、GaIn層6を挟んで第1のAlGaIn層7と対向している。したがって、双方向スイッチ素子1は、第1のAlGaIn層7とGaIn層6と第2のAlGaIn層5とを含むダブルヘテロ構造を有している。第1のAlGaIn層7及び第2のAlGaIn層5の各々のバンドギャップは、GaIn層6のバンドギャップよりも大きい。

[0041] 第2のAlGaIn層5は、アンドープのAlGaIn層である。第2のAlGaIn層5を構成するアンドープのAlGaIn層は、その成長時に不可避免的に混入されるMg、H、Si、C、O等の不純物が存在してもよい。第2のAlGaIn層5のAlの組成比、言い換えれば、第2のAlGaIn層5に対応する $Al_yGa_{1-y}N$ 層のAlの組成比 $y$ は、例えば、0.02である。つまり、第2のAlGaIn層5は、アンドープの $Al_{0.02}Ga_{0.98}N$ 層である。第2のAlGaIn層5を構成する $Al_yGa_{1-y}N$ 層のCの濃度は、一例として、 $7 \times 10^{16} \text{ cm}^{-3}$ であったが、この数値に限定されない。 $Al_yGa_{1-y}N$ 層のCの濃度は、例えば、 $3 \times 10^{17} \text{ cm}^{-3}$ 以下であるのが好ましい。Cの濃度は、SIMS (Secondary Ion Mass Spectroscopy) によって測定した値である。第2のAlGaIn層5の厚さは、例えば、100nm以上500 $\mu\text{m}$ 以下である。

[0042] 第3のAlGaIn層4は、基板2と第2のAlGaIn層5との間に位置している。第3のAlGaIn層4のAlの組成比、言い換えれば、第3のAlGaIn層4に対応する $Al_wGa_{1-w}In$ 層のAlの組成比 $w$ は、第2のAlGaIn層5のAlの組成比（第2のAlGaIn層5に対応する $Al_yGa_{1-y}In$ 層のAlの組成比 $y$ ）と同じであるのが好ましく、例えば、0.02である。つまり、第3のAlGaIn層4は、 $Al_{0.02}Ga_{0.98}In$ 層である。第3のAlGaIn層4は、第2のAlGaIn層5よりもCの濃度が高い。第3のAlGaIn層4のCの濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。第3のAlGaIn層4は、その成長時に意図的にCをドーピングしている。より詳細には、第3のAlGaIn層4の成長速度が第2のAlGaIn層5の成長速度よりも速くなるように第3のAlGaIn層4の成長条件を設定することにより、第3のAlGaIn層4のCの濃度を第2のAlGaIn層5のCの濃度よりも高くしている。ここにおいて、第3のAlGaIn層4は、第2のAlGaIn層5よりも電気絶縁性が高く、電気絶縁層として機能する。これにより、GaIn層6の厚さ方向に電流が流れるのを抑制することができる。ここにおいて、第3のAlGaIn層4の成長条件及び第2のAlGaIn層5の成長条件は、例えば、基板温度、V/III比、各原料ガスの供給量、成長圧力等を適宜設定すればよい。「基板温度」は、例えば、基板2の元になるウェハを支持するサセプタ（susceptor）の温度を代用することができる。例えば、基板温度は、熱電対により測定したサセプタの温度を代用することができる。「V/III比」とは、III族元素の原料ガスのモル供給量 [ $\mu\text{mol}/\text{min}$ ] に対するV族元素の原料ガスのモル供給量 [ $\mu\text{mol}/\text{min}$ ] の比である。「成長圧力」とは、各原料ガス及び各キャリアガスをMOVPE装置の反応炉内に供給している状態における反応炉内の圧力である。

[0043] 第3のAlGaIn層4の厚さは、第2のAlGaIn層5の厚さよりも厚いのが好ましい。これにより、双方向スイッチ素子1の耐圧をより高くすることが可能となる。第3のAlGaIn層4の厚さは、例えば、600nm以上3000nm以下である。

- [0044] 本願発明者らは、実施形態1に係る双方向スイッチ素子1において、基板2を電氣的にフローティングした状態で、双方向スイッチ素子1をターンオンさせたときのオン抵抗 ( $R_{on}$ ) の時間変化について評価した。ここにおいて、「基板2を電氣的にフローティングした状態」とは、基板2が第1のソース電極S1、第2のソース電極S2、第1のゲート電極G1及び第2のゲート電極G2のいずれとも電氣的に絶縁された状態を意味する。
- [0045] また、本願発明者らは、実施形態1に係る双方向スイッチ素子1の比較例に係る双方向スイッチ素子についても、基板をフローティングした状態で、比較例に係る双方向スイッチ素子をターンオンさせたときのオン抵抗の時間変化について評価した。比較例に係る双方向スイッチ素子は、実施形態1に係る双方向スイッチ素子1の第2のAlGaIn層5を備えていない。比較例に係る双方向スイッチ素子は、実施形態1に係る双方向スイッチ素子1のGaIn層6の代わりに、GaIn層6の厚さと第2のAlGaIn層5の厚さとの合計厚さを有する第1のGaIn層を備え、第2のAlGaIn層5よりもCの濃度の高い第3のAlGaIn層4の代わりに、第1のGaIn層よりもCの濃度の高い第2のGaIn層を備えている。第1のGaIn層は、アンドープのGaIn層である。つまり、比較例に係る双方向スイッチ素子は、実施形態1に係る双方向スイッチ素子1のダブルヘテロ構造の代わりに、シングルヘテロ構造を採用している。
- [0046] オン抵抗の時間変化の評価に際しては、実施形態1に係る双方向スイッチ素子1及び比較例に係る双方向スイッチ素子それぞれに流れる電流の電流値を10Aとしたときのオン抵抗-時間特性により評価した。双方向スイッチ素子1及び比較例の双方向スイッチの各々の両端間（第1のソース電極S1と第2のソース電極S2との間）に接続している直流電源の電圧をV<sub>dd</sub>とし、オン抵抗は、オームの法則に従ってV<sub>dd</sub>/10の計算で求めた値である。なお、双方向スイッチ素子1に関して、スイッチ動作させる前の電流コラプスの発生していない場合のオン抵抗の実測値は、30mΩである。
- [0047] 比較例の双方向スイッチ素子では、V<sub>dd</sub>が大きくなるほどオン抵抗が上

昇していることから、電流コラプスが発生していることが分かった。これに対して、実施形態1の双方向スイッチ素子1では、比較例の双方向スイッチ素子と比べて、 $V_{dd}$ が大きくなった場合のオン抵抗の上昇が抑制されていることから、電流コラプスが抑制されている。

[0048] 図2A及び2Bは、実施形態1に係る双方向スイッチ素子1及び比較例の双方向スイッチ素子それぞれについて、電流コラプスの発生していないときのオン抵抗を1とした場合のオン抵抗の比（言い換えれば規格化されたオン抵抗）と $V_{dd}$ との関係を示している。図2A及び2Bの各々は、基板2を電氣的にフローティングした状態でのオン抵抗の比と $V_{dd}$ との関係を示している。

[0049] 図2A及び2Bからも、実施形態1の双方向スイッチ素子1では、比較例の双方向スイッチ素子と比べて、 $V_{dd}$ が大きくなった場合のオン抵抗の上昇が抑制されていることが分かる。

[0050] 実施形態1に係る双方向スイッチ素子1は、基板2と、Ga<sub>0.5</sub>N<sub>0.5</sub>層6と、第1のAlGa<sub>0.5</sub>N層7と、第1のソース電極S1と、第1のゲート電極G1と、第2のゲート電極G2と、第2のソース電極S2と、第1のp型AlGa<sub>0.5</sub>N層81と、第2のp型AlGa<sub>0.5</sub>N層82と、第2のAlGa<sub>0.5</sub>N層5と、第3のAlGa<sub>0.5</sub>N層4と、を備える。Ga<sub>0.5</sub>N層6は、基板2上に形成されている。第1のAlGa<sub>0.5</sub>N層7は、Ga<sub>0.5</sub>N層6上に形成されている。第1のソース電極S1、第1のゲート電極G1、第2のゲート電極G2、及び、第2のソース電極S2は、第1のAlGa<sub>0.5</sub>N層7上に形成されている。第1のp型AlGa<sub>0.5</sub>N層81は、第1のゲート電極G1と第1のAlGa<sub>0.5</sub>N層7との間に介在している。第2のp型AlGa<sub>0.5</sub>N層82は、第2のゲート電極G2と第1のAlGa<sub>0.5</sub>N層7との間に介在している。第2のAlGa<sub>0.5</sub>N層5は、基板2とGa<sub>0.5</sub>N層6との間に介在している。第3のAlGa<sub>0.5</sub>N層4は、基板2と第2のAlGa<sub>0.5</sub>N層5との間に介在し、第2のAlGa<sub>0.5</sub>N層5よりもCの濃度が高い。

[0051] 実施形態1に係る双方向スイッチ素子1では、上記の第2のAlGa<sub>0.5</sub>N層



5及び第3のAlGaIn層4を備えることにより、電流コラプスを抑制することが可能となる。

[0052] 図3は、実施形態1の変形例に係る双方向スイッチ素子1aの断面図である。変形例に係る双方向スイッチ素子1aに関し、実施形態1に係る双方向スイッチ素子1と同様の構成要素については、同一の符号を付して説明を省略する。

[0053] 変形例に係る双方向スイッチ素子1aは、実施形態1に係る双方向スイッチ素子1の第3のAlGaIn層4、第2のAlGaIn層5の代わりに、第3のAlGaIn層4a、第2のAlGaIn層5aを備えている。第3のAlGaIn層4aは、アンドープのAlGaIn層である。第3のAlGaIn層4aのAlの組成比は、0.05である。つまり、第3のAlGaIn層4aは、アンドープのAl<sub>0.05</sub>Ga<sub>0.95</sub>In層である。また、第3のAlGaIn層4aのAlの組成比は、第3のAlGaIn層4aのAlの組成比と同じであり、0.05である。

[0054] 第2のAlGaIn層5aは、基板2とGaIn層6との間に位置しており、GaIn層6と共に第2のヘテロ接合部HJ2を構成する。第3のAlGaIn層4aは、基板2と第2のAlGaIn層5aとの間に位置しており、第2のAlGaIn層5aよりもCの濃度が高い。第2のAlGaIn層5aを構成するアンドープのAlGaIn層のCの濃度は、一例として、 $7 \times 10^{16} \text{ cm}^{-3}$ である。第3のAlGaIn層4aのCの濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。実施形態1の変形例に係る双方向スイッチ素子1aでは、GaIn層6、第1のAlGaIn層7、第1のp型AlGaIn層81、第2のp型AlGaIn層82、第2のAlGaIn層5a及び第3のAlGaIn層4aが、それぞれ、Al<sub>z</sub>Ga<sub>1-z</sub>In層（ここで、 $0 \leq z < 1$ ）、Al<sub>b</sub>Ga<sub>1-b</sub>In層（ここで、 $0 < b < 1$ ）、p型Al<sub>x1</sub>Ga<sub>1-x1</sub>In層（ここで、 $0 \leq x1 \leq 1$ ）、p型Al<sub>x2</sub>Ga<sub>1-x2</sub>In層（ここで、 $0 \leq x2 \leq 1$ ）、Al<sub>y</sub>Ga<sub>1-y</sub>In層（ここで、 $0 < y < 1$ 、かつ、 $z < y < b$ ）及びAl<sub>w</sub>Ga<sub>1-w</sub>In層（ここで、 $0 < w < 1$ 、かつ、 $z < w < b$ ）の一例である。

- [0055] 変形例に係る双方向スイッチ素子 1 a は、実施形態 1 に係る双方向スイッチ素子 1 と同様、電流コラプスの発生を抑制することが可能となる。
- [0056] ここにおいて、変形例に係る双方向スイッチ素子 1 では、比較例に係る双方向スイッチ素子と比べてオフリーク電流が大きくなってしまふ。これに対して、実施形態 1 に係る双方向スイッチ素子 1 では、変形例に係る双方向スイッチ素子と比べてオフリーク電流を低減することができる。オフリーク電流とは、第 1 のゲート電極 G 1 がオフ状態、第 2 のゲート電極 G 2 がオフ状態のときに、第 2 のソース電極 S 2 から第 1 のソース電極 S 1 へ流れる電流である。
- [0057] 図 4 は、第 2 のソース電極 S 2 を第 1 のソース電極 S 1 よりも高電位として第 2 のソース電極 S 2 と第 1 のソース電極 S 1 との間の電圧を  $V_{S2S1}$  とした場合の、 $V_{S2S1}$  とリーク電流（オフリーク電流）との関係を示している。図 4 中の D H は、上述のダブルヘテロ構造を有する実施形態 1 の双方向スイッチ素子 1 の一例の測定データであり、図 4 中の S H は上述のシングルヘテロ構造を有する比較例の双方向スイッチ素子 1 の一例の測定データである。図 4 から、 $V_{S2S1}$  が 400 V 以下であれば、実施形態 1 に係る双方向スイッチ素子 1 のリーク電流が比較例の双方向スイッチ素子のリーク電流よりも小さいことが分かる。
- [0058] 上述のように実施形態 1 に係る双方向スイッチ素子 1 は、第 2 の AlGaIn 層 5 の Al の組成比が 0.05 未満である。これにより、実施形態 1 に係る双方向スイッチ素子 1 は、オフリーク電流を抑制することが可能となる。
- [0059] (実施形態 2)
- 以下では、実施形態 2 に係る双方向スイッチ素子 1 b について、図 5 に基づいて説明する。
- [0060] 実施形態 2 に係る双方向スイッチ素子 1 b に関し、実施形態 1 に係る双方向スイッチ素子 1 (図 1 参照) と同様の構成要素については、同一の符号を付して説明を省略する。
- [0061] 実施形態 2 に係る双方向スイッチ素子 1 b は、実施形態 1 に係る双方向ス

スイッチ素子1の第3のAlGaIn層4、第2のAlGaIn層5の代わりに、第3のAlGaIn層4b、第2のAlGaIn層5bを備えている。実施形態2に係る双方向スイッチ素子1bでは、GaIn層6、第1のAlGaIn層7、第1のp型AlGaIn層81、第2のp型AlGaIn層82、第2のAlGaIn層5b及び第3のAlGaIn層4bが、それぞれ、 $Al_zGa_{1-z}In$ 層（ここで、 $0 \leq z < 1$ ）、 $Al_bGa_{1-b}In$ 層（ここで、 $0 < b < 1$ ）、p型 $Al_{x_1}Ga_{1-x_1}In$ 層（ここで、 $0 \leq x_1 \leq 1$ ）、p型 $Al_{x_2}Ga_{1-x_2}In$ 層（ここで、 $0 \leq x_2 \leq 1$ ）、 $Al_yGa_{1-y}In$ 層（ここで、 $0 < y < 1$ 、かつ、 $z < y < b$ ）及び $Al_wGa_{1-w}In$ 層（ここで、 $0 < w < 1$ 、かつ、 $z < w < b$ ）の一例である。

[0062] 第3のAlGaIn層4bのAlの組成比は、例えば、0.05である。つまり、第3のAlGaIn層4bは、 $Al_{0.05}Ga_{0.95}In$ 層である。第3のAlGaIn層4bは、第2のAlGaIn層5bよりもCの濃度が高い。第3のAlGaIn層4bのCの濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

[0063] 第2のAlGaIn層5bのAlの組成比は、第3のAlGaIn層4bのAlの組成比よりも小さい。第2のAlGaIn層5bでは、第2のAlGaIn層5bの厚み方向において第3のAlGaIn層4bから離れるにつれてAlの組成比が小さくなっている。言い換えれば、第2のAlGaIn層5bは、第3のAlGaIn層4bから離れるにつれてバンドギャップエネルギーが小さくなっており、GaIn層6に近づくにつれてGaIn層6とのバンドギャップエネルギーの差が小さくなっている。ここにおいて、第2のAlGaIn層5bは、例えば、互いにAlの組成比の異なる3層以上のAlGaIn層の積層膜である。一例として、第2のAlGaIn層5bは、互いにAlの組成比の異なる10層のAlGaIn層の積層膜である。ここにおいて、10層のAlGaIn層の各々の厚さは、第2のAlGaIn層5bの厚さの10分の1の厚さである。また、10層のAlGaIn層は、第2のAlGaIn層5bの厚み方向においてGaIn層6から離れるにつれてAlの組成比が0.005ずつ増

加している。つまり、10層のAlGaIn層は、第2のAlGaIn層5bの厚み方向においてGaIn層6側から、 $Al_{0.005}Ga_{0.995}In$ 層、 $Al_{0.01}Ga_{0.99}In$ 層、 $Al_{0.015}Ga_{0.985}In$ 層、 $Al_{0.02}Ga_{0.98}In$ 層、 $Al_{0.025}Ga_{0.975}In$ 層、 $Al_{0.03}Ga_{0.97}In$ 層、 $Al_{0.035}Ga_{0.965}In$ 層、 $Al_{0.04}Ga_{0.96}In$ 層、 $Al_{0.045}Ga_{0.955}In$ 層、 $Al_{0.05}Ga_{0.95}In$ 層の順に並んでいる。

[0064] 実施形態2に係る双方向スイッチ素子1bは、実施形態1に係る双方向スイッチ素子1と同様、電流コラプスの発生を抑制することが可能となる。

[0065] 図6は、 $V_{S2S1}$ とリーク電流（オフリーク電流）との関係を示している。図6中のAlグレーデッドは実施形態2に係る双方向スイッチ素子1bの一例の測定データであり、図6中のSHは上述のシングルヘテロ構造を有する比較例の双方向スイッチ素子の一例の測定データである。図6から、 $V_{S2S1}$ が250V以下であれば、実施形態2に係る双方向スイッチ素子1bのリーク電流が比較例の双方向スイッチのオフリーク電流よりも小さいことが分かる。

[0066] （実施形態3）

以下では、実施形態3に係る双方向スイッチ素子1cについて、図7に基づいて説明する。

[0067] 実施形態3に係る双方向スイッチ素子1cに関し、実施形態1に係る双方向スイッチ素子1（図1参照）と同様の構成要素については、同一の符号を付して説明を省略する。

[0068] 実施形態3に係る双方向スイッチ素子1cは、実施形態1に係る双方向スイッチ素子1のバッファ層3、第3のAlGaIn層4、第2のAlGaIn層5及びGaIn層6の代わりに、バッファ層3c、第3のAlGaIn層4c、第2のAlGaIn層5c及び第4のAlGaIn層61を備えている。実施形態3に係る双方向スイッチ素子1cでは、第4のAlGaIn層61、第1のAlGaIn層7、第1のp型AlGaIn層81、第2のp型AlGaIn層82、第2のAlGaIn層5c及び第3のAlGaIn層4cが、それぞれ、 $Al_zGa_{1-z}In$ 層（ここで、 $0 \leq z < 1$ ）、 $Al_bGa_{1-b}In$ 層（ここで、 $0 <$

$b < 1$ )、 $p$ 型 $Al_{x_1}Ga_{1-x_1}N$ 層(ここで、 $0 \leq x_1 \leq 1$ )、 $p$ 型 $Al_{x_2}Ga_{1-x_2}N$ 層(ここで、 $0 \leq x_2 \leq 1$ )、 $Al_yGa_{1-y}N$ 層(ここで、 $0 < y < 1$ 、かつ、 $z < y < b$ )及び $Al_wGa_{1-w}N$ 層(ここで、 $0 < w < 1$ 、かつ、 $z < w < b$ )の一例である。

[0069] 第4の $AlGa$ N層61は、アンドープの $AlGa$ N層である。第4の $AlGa$ N層61を構成するアンドープの $AlGa$ N層は、その成長時に不可避免的に混入される $Mg$ 、 $H$ 、 $Si$ 、 $C$ 、 $O$ 等の不純物が存在してもよい。第4の $AlGa$ N層61の厚さは、例えば、 $100\text{nm}$ 以上 $700\text{nm}$ 以下である。第4の $AlGa$ N層61に対応する $Al_zGa_{1-z}N$ 層の $Al$ の組成比 $z$ が、第1の $AlGa$ N層7により構成される $Al_bGa_{1-b}N$ 層の $Al$ の組成比 $b$ よりも小さく、かつ、第2の $AlGa$ N層5cに対応する $Al_yGa_{1-y}N$ 層の $Al$ の組成比 $y$ よりも小さい。

[0070] 第1の $AlGa$ N層7は、第4の $AlGa$ N層61と共に第1のヘテロ接合部 $HJ1c$ を構成する。第4の $AlGa$ N層61においては、第1ヘテロ接合部 $HJ1c$ の近傍に、2次元電子ガスが発生している。第1の $AlGa$ N層7を構成するアンドープの $AlGa$ N層の $Al$ の組成比は、例えば、 $0.17$ である。

[0071] 第2の $AlGa$ N層5cは、第4の $AlGa$ N層61と共に第2のヘテロ接合部 $HJ2c$ を構成する。第2の $AlGa$ N層5cは、第4の $AlGa$ N層61の厚さ方向において、第1の $AlGa$ N層7側とは反対側に位置している。要するに、第2の $AlGa$ N層5cは、第4の $AlGa$ N層61を挟んで第1の $AlGa$ N層7と対向している。したがって、双方向スイッチ素子1cは、第1の $AlGa$ N層7と第4の $AlGa$ N層61と第2の $AlGa$ N層5cとを含むダブルヘテロ構造を有している。第1の $AlGa$ N層7及び第2の $AlGa$ N層5cの各々のバンドギャップは、第4の $AlGa$ N層61のバンドギャップよりも大きい。

[0072] 第2の $AlGa$ N層5cは、アンドープの $AlGa$ N層である。第2の $AlGa$ N層5cを構成するアンドープの $AlGa$ N層は、その成長時に不可

避的に混入されるMg、H、Si、C、O等の不純物が存在してもよい。第2のAlGaIn層5cのAlの組成比、言い換えれば、第2のAlGaIn層5cに対応する $Al_yGa_{1-y}In$ 層のAlの組成比 $y$ は、例えば、0.02である。つまり、第2のAlGaIn層5cは、アンドープの $Al_{0.02}Ga_{0.98}In$ 層である。第2のAlGaIn層5cに対応する $Al_yGa_{1-y}In$ 層のCの濃度は、一例として、 $7 \times 10^{16} \text{ cm}^{-3}$ であったが、この数値に限定されない。AlGaIn層のCの濃度は、例えば、 $3 \times 10^{17} \text{ cm}^{-3}$ 以下であるのが好ましい。第2のAlGaIn層5cの厚さは、例えば、100nm以上500 $\mu\text{m}$ 以下である。

[0073] 第3のAlGaIn層4cは、基板2と第2のAlGaIn層5cとの間に位置している。第3のAlGaIn層4cのAlの組成比、言い換えれば、第3のAlGaIn層4cにより構成される $Al_wGa_{1-w}In$ 層のAlの組成比 $w$ は、第2のAlGaIn層5cに対応する $Al_yGa_{1-y}In$ 層のAlの組成比 $y$ と同じであるのが好ましく、例えば、0.02である。つまり、第3のAlGaIn層4cは、 $Al_{0.02}Ga_{0.98}In$ 層である。第3のAlGaIn層4cは、第2のAlGaIn層5cよりもCの濃度が高い。第3のAlGaIn層4cのCの濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。第3のAlGaIn層4cは、その成長時に意図的にCをドーピングしている。より詳細には、第3のAlGaIn層4cの成長速度が第2のAlGaIn層5cの成長速度よりも速くなるように第3のAlGaIn層4cの成長条件を設定することにより、第3のAlGaIn層4cのCの濃度を第2のAlGaIn層5cのCの濃度よりも高くしている。ここにおいて、第3のAlGaIn層4cは、第2のAlGaIn層5cよりも電気絶縁性が高く、電気絶縁層として機能する。これにより、第4のAlGaIn層61の厚さ方向に電流が流れるのを抑制することができる。

[0074] バッファ層3cは、CドーピングのGaIn層である。バッファ層3cは、その成長時に意図的にCをドーピングしている。バッファ層3cのCの濃度は、アンドープのGaIn層により構成されるバッファ層3のCの濃度よりも高い

。バッファ層3cの厚さは、例えば、100nm以上3000nm以下である。

[0075] 実施形態3に係る双方向スイッチ素子1cは、第2のAlGaIn層5cに対応する $Al_yGa_{1-y}In$ 層のAlの組成比yが0.05未満である。これにより、実施形態3に係る双方向スイッチ素子1cは、オフリーク電流を抑制することが可能となる。

[0076] また、実施形態3に係る双方向スイッチ素子1cは、第3のAlGaIn層4cに対応する $Al_wGa_{1-w}In$ 層のAlの組成比wが0.05未満である。これにより、実施形態3に係る双方向スイッチ素子1cは、オフリーク電流を抑制することが可能となる。

[0077] また、実施形態3に係る双方向スイッチ素子1cは、第2のAlGaIn層5cに対応する $Al_yGa_{1-y}In$ 層のAlの組成比yが0.03未満であり、第3のAlGaIn層4cに対応する $Al_wGa_{1-w}In$ 層のAlの組成比wが0.03未満であるのが好ましい。これにより、実施形態3に係る双方向スイッチ素子1cでは、オフリーク電流をより一層抑制することが可能となる。

[0078] 上記の実施形態1～3等は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態1～3等は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0079] 例えば、第2のAlGaIn層5bにおける3層以上のAlGaIn層の厚さの関係は、特に限定されない。例えば、3層以上のAlGaIn層は、厚さが同じである場合に限らず、互いに厚さが異なってもよい。

[0080] また、第2のAlGaIn層5bは、Alの組成比がステップ状に変化している場合に限らず、連続的に変化していてもよい。

[0081] また、基板2は、シリコン基板に限らず、例えば、GaN基板、SiC基板、サファイア基板等であってもよい。

[0082] 双方向スイッチ素子1、1a、1b、1cの各々の他の第1例では、第1のp型AlGaIn層81の代わりに第1のp型GaN層を備え、第2のp型AlGaIn層82の代わりに第2のp型GaN層を備えていてもよい。

[0083] また、双方向スイッチ素子 1、1 a、1 b、1 c の各々の他の第 2 例では、第 1 の p 型 AlGaIn 層 8 1 の代わりに、p 型金属酸化物半導体層からなる第 1 のゲート層を備え、第 2 の p 型 AlGaIn 層の代わりに、p 型金属酸化物半導体層からなる第 2 のゲート層を備えていてもよい。第 1 のゲート層及び第 2 のゲート層の各々の p 型金属酸化物半導体層は、例えば、NiO 層である。NiO 層は、例えば、リチウム、ナトリウム、カリウム、ルビジウム及びセシウムの群から選ばれる少なくとも 1 種のアルカリ金属を不純物として含んでいてもよい。また、NiO 層は、例えば、不純物として添加されたときに一価となる銀、銅等の遷移金属を含んでいてもよい。第 1 のゲート層は、第 1 のゲート電極 G 1 と第 1 のソース電極 S 1 との間に電圧が印加されていないときに、第 1 のゲート層直下において第 1 の AlGaIn 層 7 と GaN 層 6 とに空乏層を形成する。第 2 のゲート層は、第 2 のゲート電極 G 2 と第 2 のソース電極 S 2 との間に電圧が印加されていないときに、第 2 のゲート層直下において第 1 の AlGaIn 層 7 と GaN 層 6 とに空乏層を形成する。

[0084] また、双方向スイッチ素子 1 の他の第 3 例では、第 2 の AlGaIn 層 5 の代わりに、InAlGaIn 層を備えていてもよい。この場合、InAlGaIn 層は、アンドープの  $\text{In}_{0.05}\text{Al}_{0.10}\text{Ga}_{0.85}\text{N}$  層により構成してもよい。

[0085] また、双方向スイッチ素子 1 の他の第 4 例では、第 3 の AlGaIn 層 4 の代わりに、InAlGaIn 層を備えていてもよい。この場合、第 3 の AlGaIn 層 4 の代わりに InAlGaIn 層は、第 2 の AlGaIn 層 5 の代わりに InAlGaIn 層よりも C の濃度の高い  $\text{In}_{0.05}\text{Al}_{0.10}\text{Ga}_{0.85}\text{N}$  層により構成してもよい。

[0086] (まとめ)

以上説明した実施形態等から本明細書には以下の態様が開示されている。

[0087] 第 1 の態様に係る双方向スイッチ素子 (1 ; 1 a ; 1 b ; 1 c) は、基板 (2) と、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$  層 (ここで、 $0 \leq z < 1$ ) と、 $\text{Al}_b\text{Ga}_{1-b}\text{N}$  層 (ここで、 $0 < b < 1$ ) と、第 1 のソース電極 (S 1) と、第 1 のゲート電



極 (G1) と、第2のゲート電極 (G2) と、第2のソース電極 (S2) と、p型  $Al_{x_1}Ga_{1-x_1}N$  層 (ここで、 $0 \leq x_1 \leq 1$ ) と、p型  $Al_{x_2}Ga_{1-x_2}N$  層 (ここで、 $0 \leq x_2 \leq 1$ ) と、 $Al_yGa_{1-y}N$  層 (ここで、 $0 < y < 1$ 、かつ、 $z < y < b$ ) と、 $Al_wGa_{1-w}N$  層 (ここで、 $0 < w < 1$ 、かつ、 $z < w < b$ ) と、を備える。 $Al_zGa_{1-z}N$  層 (GaN層6; 第4のAlGa<sub>N</sub>層61) は、基板(2)上に形成されている。 $Al_bGa_{1-b}N$  層 (第1のAlGa<sub>N</sub>層7) は、 $Al_zGa_{1-z}N$  層 (Ga<sub>N</sub>層6; 第4のAlGa<sub>N</sub>層61) 上に形成されている。第1のソース電極 (S1)、第1のゲート電極 (G1)、第2のゲート電極 (G2)、及び、第2のソース電極 (S2) は、 $Al_bGa_{1-b}N$  層 (第1のAlGa<sub>N</sub>層7) 上に形成されている。p型  $Al_{x_1}Ga_{1-x_1}N$  層 (第1のp型AlGa<sub>N</sub>層81) は、第1のゲート電極 (G1) と  $Al_bGa_{1-b}N$  層 (第1のAlGa<sub>N</sub>層7) との間に介在している。p型  $Al_{x_2}Ga_{1-x_2}N$  層 (第2のp型AlGa<sub>N</sub>層82) は、第2のゲート電極 (G2) と  $Al_bGa_{1-b}N$  層 (第1のAlGa<sub>N</sub>層7) との間に介在している。 $Al_yGa_{1-y}N$  層 (第2のAlGa<sub>N</sub>層5; 5a; 5b; 5c) は、基板(2)と  $Al_zGa_{1-z}N$  層 (Ga<sub>N</sub>層6; 第4のAlGa<sub>N</sub>層61) との間に介在している。 $Al_wGa_{1-w}N$  層 (第3のAlGa<sub>N</sub>層4; 4a; 4b; 4c) は、基板(2)と  $Al_yGa_{1-y}N$  層 (第2のAlGa<sub>N</sub>層5; 5a; 5b; 5c) との間に介在し、 $Al_yGa_{1-y}N$  層 (第2のAlGa<sub>N</sub>層5; 5a; 5b; 5c) よりもCの濃度が高い。

[0088] 第1の態様に係る双方向スイッチ素子 (1; 1a; 1b; 1c) では、電流コラプスを抑制することが可能となる。

[0089] 第2の態様に係る双方向スイッチ素子 (1; 1c) では、第1の態様において、 $Al_yGa_{1-y}N$  層 (第2のAlGa<sub>N</sub>層5; 5c) のAlの組成比 (y) が0.05未満である。

[0090] 第2の態様に係る双方向スイッチ素子 (1; 1c) では、オフリーク電流を抑制することが可能となる。

[0091] 第3の態様に係る双方向スイッチ素子 (1b) では、第1又は2の態様に

において、 $Al_yGa_{1-y}N$ 層（第2の $AlGa$ N層5 b）の $Al$ の組成比（ $y$ ）は、 $Al_wGa_{1-w}N$ 層（第3の $AlGa$ N層4 b）の $Al$ の組成比（ $w$ ）よりも小さい。 $Al_yGa_{1-y}N$ 層（第2の $AlGa$ N層5 b）では、 $Al_yGa_{1-y}N$ 層（第2の $AlGa$ N層5 b）の厚み方向において $Al_wGa_{1-w}N$ 層（第3の $AlGa$ N層4 b）から離れるにつれて $Al$ の組成比（ $y$ ）が小さくなっている。

- [0092] 第3の態様に係る双方向スイッチ素子（1 b）では、オフリーク電流を抑制することが可能となる。
- [0093] 第4の態様に係る双方向スイッチ素子（1 b）では、第1～3の態様のいずれか一つにおいて、 $Al_yGa_{1-y}N$ 層（第2の $AlGa$ N層5 b）は、互いに $Al$ の組成比の異なる3層以上の $AlGa$ N層の積層膜である。
- [0094] 第4の態様に係る双方向スイッチ素子（1 b）では、オフリーク電流の発生を抑制することが可能となる。
- [0095] 第5の態様に係る双方向スイッチ素子（1 c）では、第2の態様において、 $Al_wGa_{1-w}N$ 層（第3の $AlGa$ N層4 c）の $Al$ の組成比（ $w$ ）が0.05未満である。
- [0096] 第5の態様に係る双方向スイッチ素子（1 c）では、オフリーク電流をより抑制することが可能となる。
- [0097] 第6の態様に係る双方向スイッチ素子（1 c）では、第5の態様において、 $Al_yGa_{1-y}N$ 層（第2の $AlGa$ N層5 c）の $Al$ の組成比（ $y$ ）が0.03未満であり、 $Al_wGa_{1-w}N$ 層（第3の $AlGa$ N層4 c）の $Al$ の組成比（ $w$ ）が0.03未満である。
- [0098] 第6の態様に係る双方向スイッチ素子（1 c）では、オフリーク電流をより一層抑制することが可能となる。
- [0099] 第7の態様に係る双方向スイッチ素子（1 ; 1 a ; 1 b ; 1 c）は、第1～6の態様のいずれか一つにおいて、基板（2）が第1のソース電極（S1）、第2のソース電極（S2）、第1のゲート電極（G1）及び第2のゲート電極（G2）のいずれとも電氣的に絶縁された状態で使用される。

[0100] 第7の態様に係る双方向スイッチ素子(1; 1a; 1b; 1c)では、基板(2)が接地された状態で使用することなく電流コラプスを抑制することが可能となる。

[0101] 第8の態様に係る双方向スイッチ素子(1; 1a; 1b; 1c)では、第1~7の態様のいずれか一つにおいて、第3のAlGa<sub>w</sub>N層(4; 4a; 4b; 4c)の厚さが、第2のAlGa<sub>y</sub>N層(5; 5a; 5b; 5c)の厚さよりも厚い。

[0102] 第8の態様に係る双方向スイッチ素子(1; 1a; 1b; 1c)では、耐圧の向上を図ることが可能となる。

### 符号の説明

- [0103] 1、1a、1b、1c 双方向スイッチ素子  
2 基板  
4、4a、4b、4c 第3のAlGa<sub>w</sub>N層 (Al<sub>w</sub>Ga<sub>1-w</sub>N層)  
5、5a、5b、5c 第2のAlGa<sub>y</sub>N層 (Al<sub>y</sub>Ga<sub>1-y</sub>N層)  
6 Ga<sub>z</sub>N層 (Al<sub>z</sub>Ga<sub>1-z</sub>N層)  
61 第4のAlGa<sub>z</sub>N層 (Al<sub>z</sub>Ga<sub>1-z</sub>N層)  
7 第1のAlGa<sub>b</sub>N層 (Al<sub>b</sub>Ga<sub>1-b</sub>N層)  
81 第1のp型AlGa<sub>x1</sub>N層 (p型Al<sub>x1</sub>Ga<sub>1-x1</sub>N層)  
82 第2のp型AlGa<sub>x2</sub>N層 (p型Al<sub>x2</sub>Ga<sub>1-x2</sub>N層)  
G1 第1のゲート電極  
G2 第2のゲート電極  
S1 第1のソース電極  
S2 第2のソース電極

## 請求の範囲

- [請求項1] 基板と、  
 前記基板上に形成されている  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  層（ここで、 $0 \leq z < 1$ ）と、  
 前記  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  層上に形成されている  $\text{Al}_b\text{Ga}_{1-b}\text{N}$  層（ここで、 $0 < b < 1$ ）と、  
 前記  $\text{Al}_b\text{Ga}_{1-b}\text{N}$  層上に形成されている第1のソース電極、第1のゲート電極、第2のゲート電極、及び、第2のソース電極と、  
 前記第1のゲート電極と前記  $\text{Al}_b\text{Ga}_{1-b}\text{N}$  層との間に介在している p 型  $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$  層（ここで、 $0 \leq x_1 \leq 1$ ）と、  
 前記第2のゲート電極と前記  $\text{Al}_b\text{Ga}_{1-b}\text{N}$  層との間に介在している p 型  $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$  層（ここで、 $0 \leq x_2 \leq 1$ ）と、  
 前記基板と前記  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  層との間に介在している  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層（ここで、 $0 < y < 1$ 、かつ、 $z < y < b$ ）と、  
 前記基板と前記  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層との間に介在し、前記  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層よりも C の濃度が高い  $\text{Al}_w\text{Ga}_{1-w}\text{N}$  層（ここで、 $0 < w < 1$ 、かつ、 $z < w < b$ ）と、を備える、  
 双方向スイッチ素子。
- [請求項2] 前記  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層の Al の組成比  $y$  が 0.05 未満である、  
 請求項1に記載の双方向スイッチ素子。
- [請求項3] 前記  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層の Al の組成比  $y$  は、前記  $\text{Al}_w\text{Ga}_{1-w}\text{N}$  層の Al の組成比  $w$  よりも小さく、  
 前記  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層では、前記  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層の厚み方向において前記  $\text{Al}_w\text{Ga}_{1-w}\text{N}$  層から離れるにつれて Al の組成比  $y$  が小さくなっている、  
 請求項1又は2に記載の双方向スイッチ素子。
- [請求項4] 前記  $\text{Al}_y\text{Ga}_{1-y}\text{N}$  層は、互いに Al の組成比の異なる3層以上の  $\text{AlGa}\text{N}$  層の積層膜である、

請求項 1 ~ 3 のいずれか一項に記載の双方向スイッチ素子。

[請求項5] 前記  $A_{1-w}Ga_{1-w}N$  層の  $Al$  の組成比  $w$  が  $0.05$  未満である、  
請求項 2 に記載の双方向スイッチ素子。

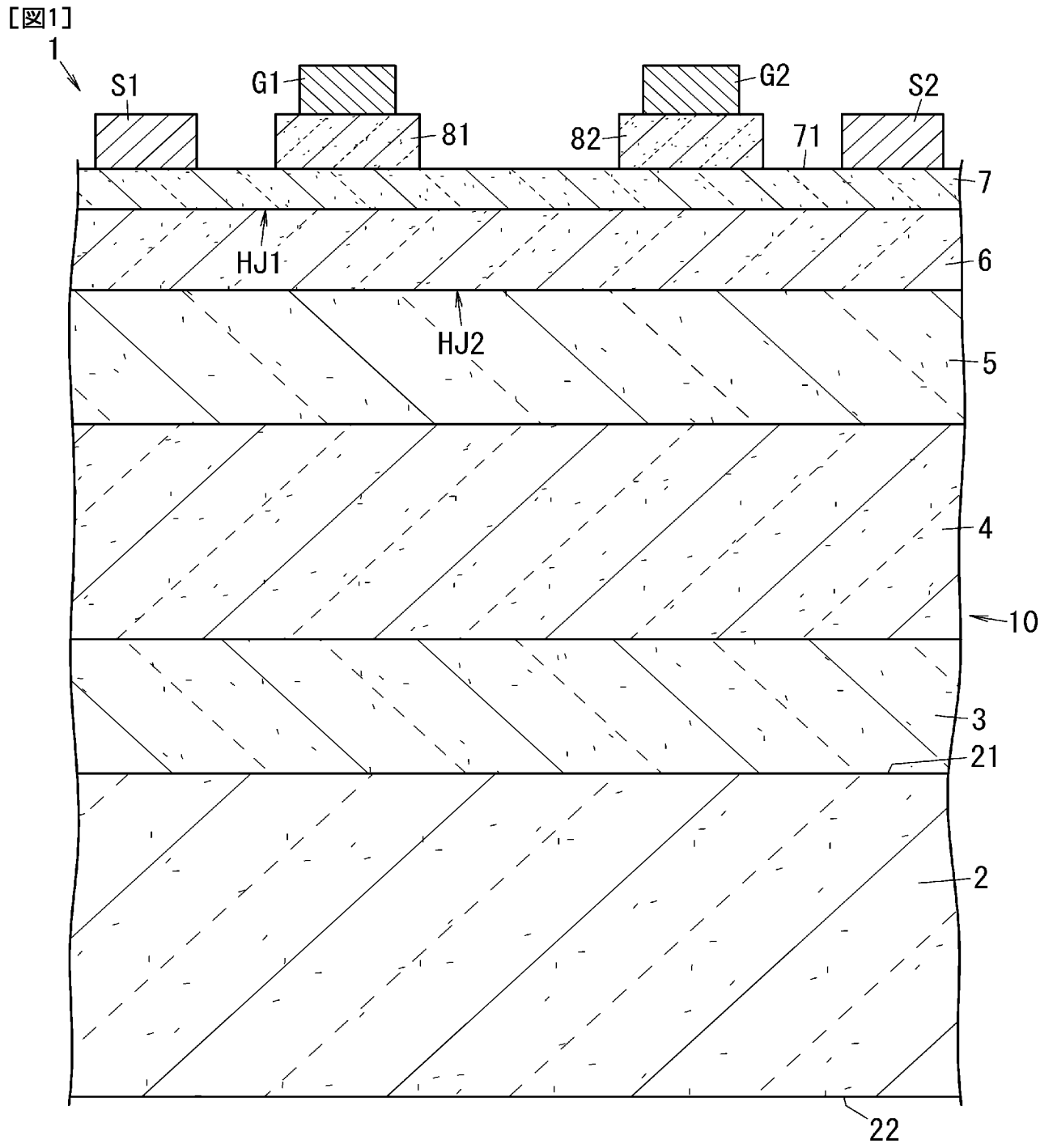
[請求項6] 前記  $A_{1-y}Ga_{1-y}N$  層の  $Al$  の組成比  $y$  が  $0.03$  未満であり、  
前記  $A_{1-w}Ga_{1-w}N$  層の  $Al$  の組成比  $w$  が  $0.03$  未満である、  
請求項 5 に記載の双方向スイッチ素子。

[請求項7] 前記基板が前記第 1 のソース電極、前記第 2 のソース電極、前記第 1 のゲート電極及び前記第 2 のゲート電極のいずれとも電氣的に絶縁された状態で使用される、

請求項 1 ~ 6 のいずれか一項に記載の双方向スイッチ素子。

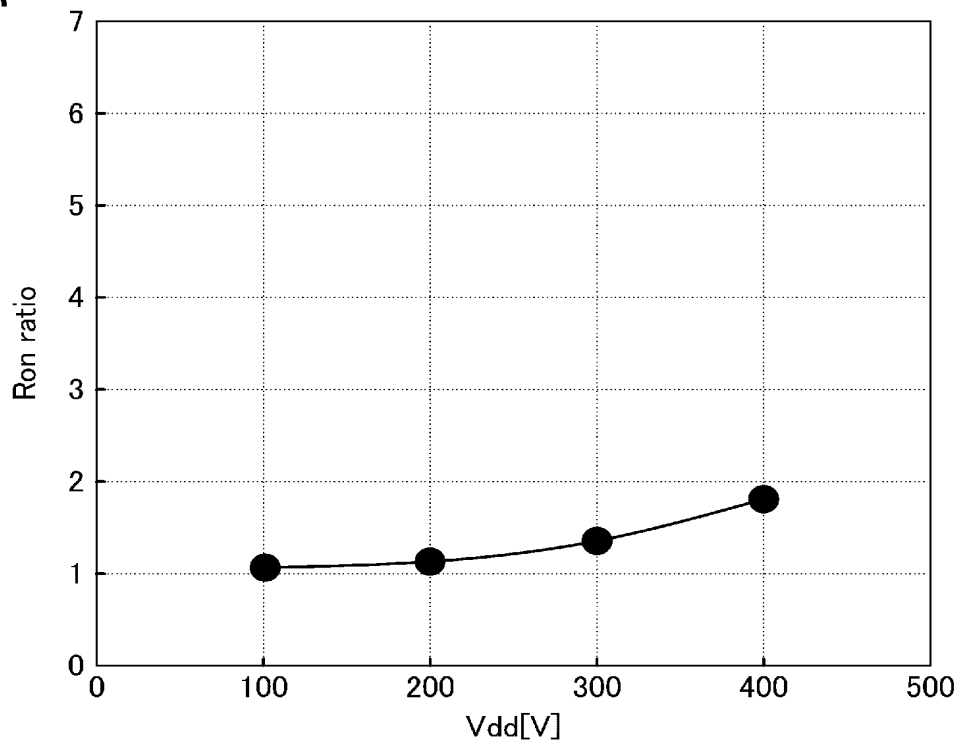
[請求項8] 前記  $A_{1-w}Ga_{1-w}N$  層の厚さが、前記  $A_{1-y}Ga_{1-y}N$  層の厚さよりも厚い、

請求項 1 ~ 7 のいずれか一項に記載の双方向スイッチ素子。

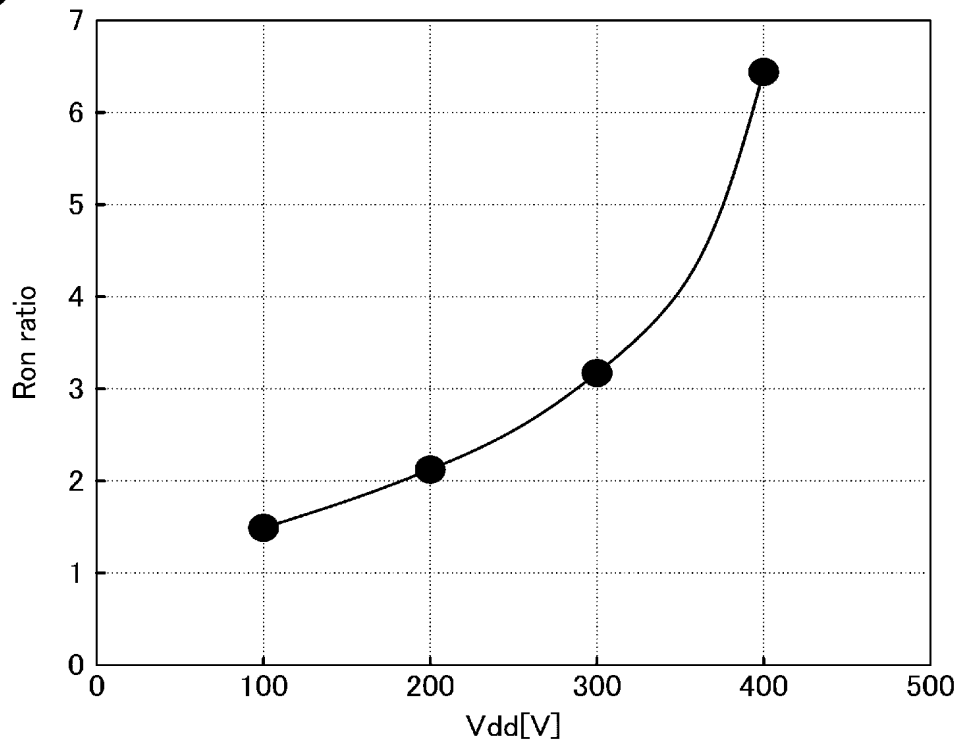


[図2]

A

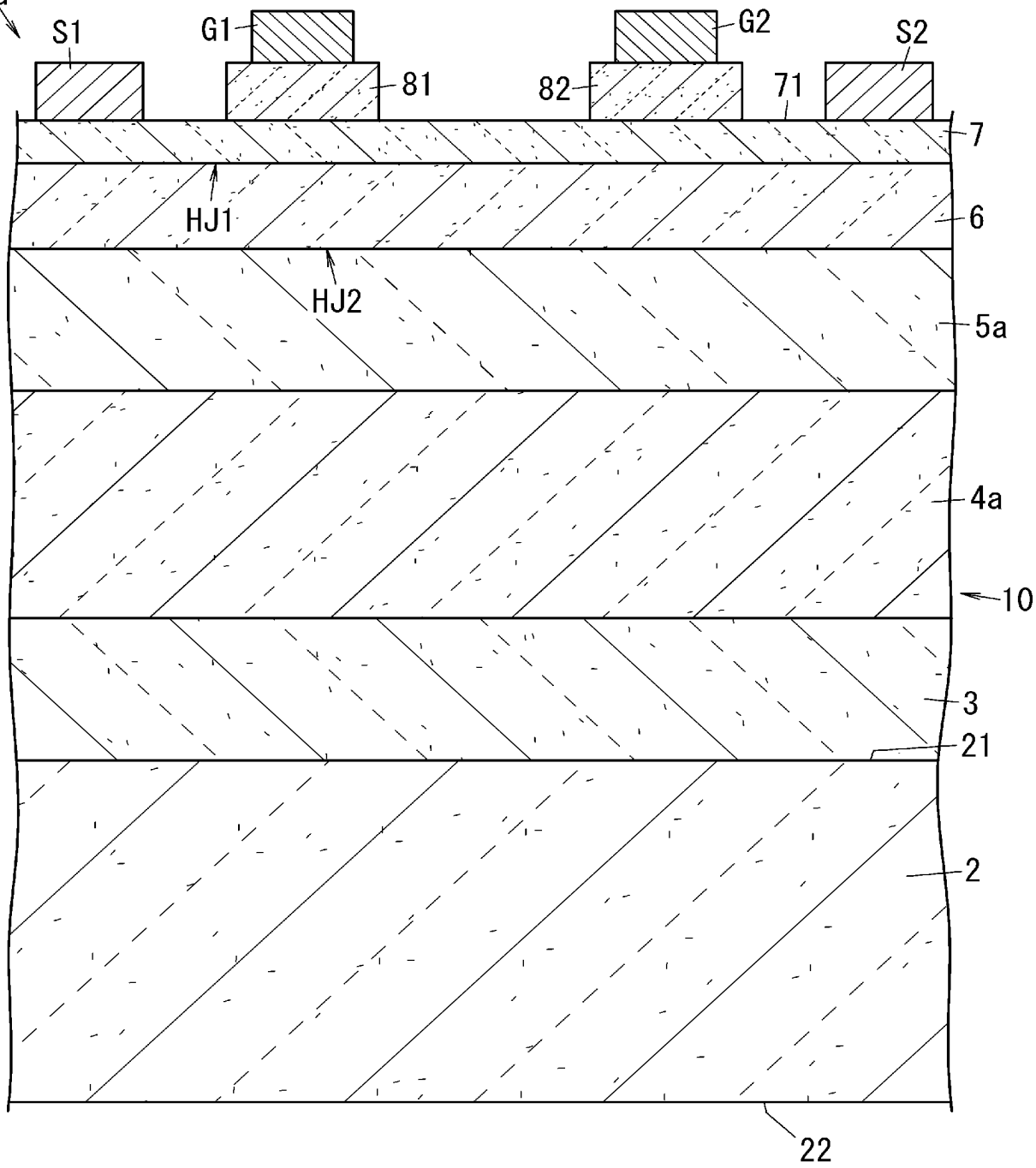


B



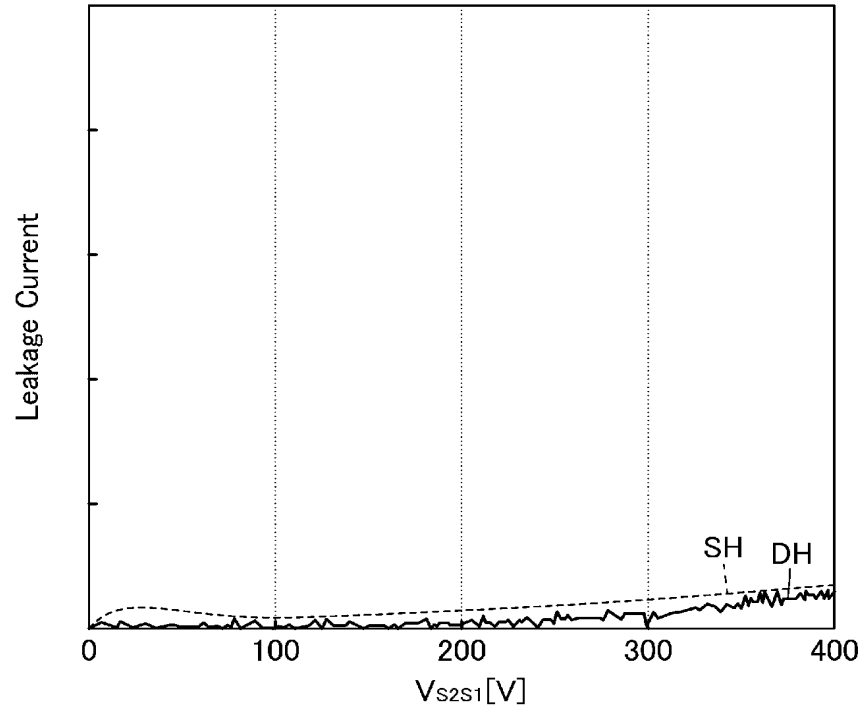
[3]

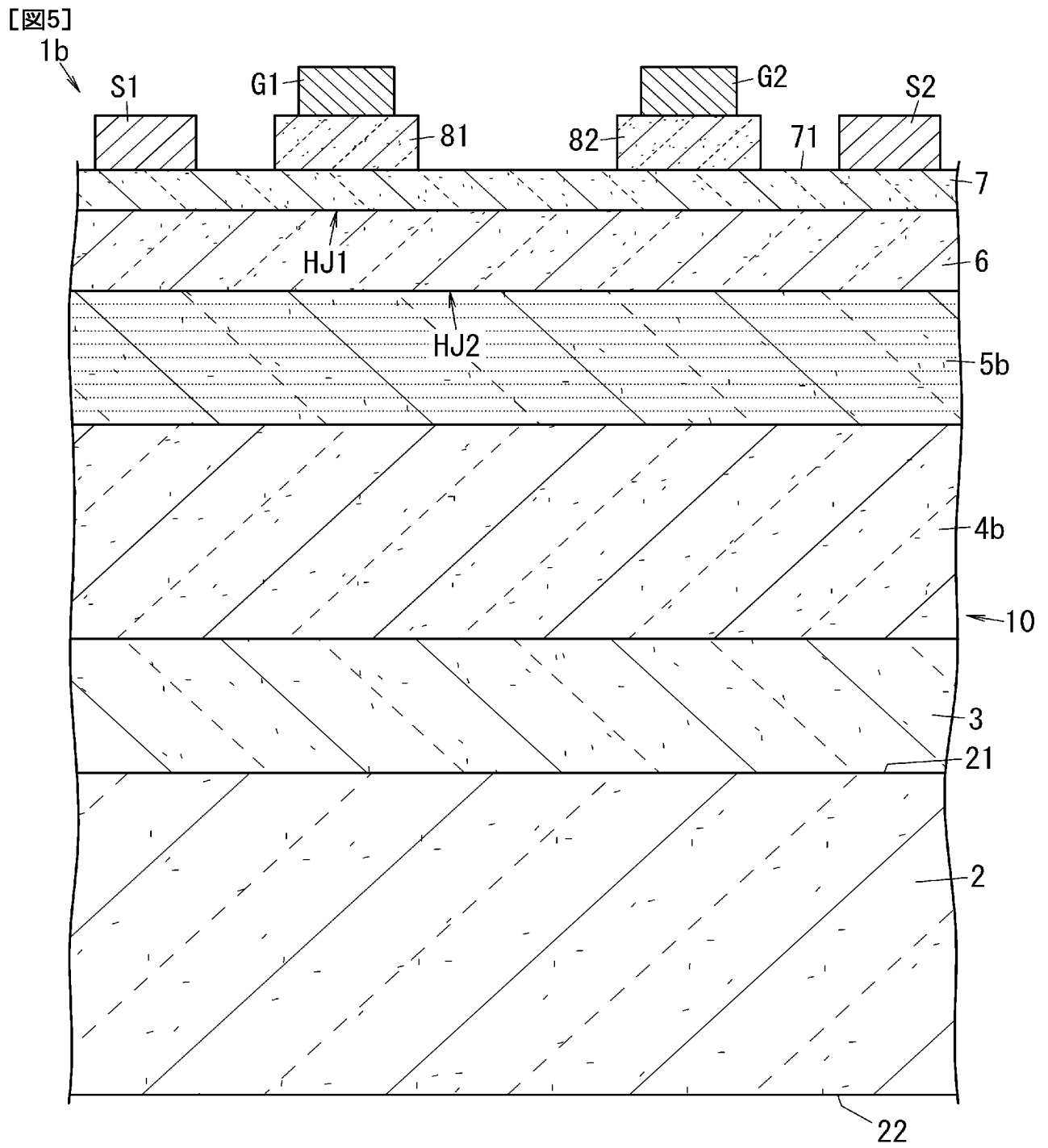
1a



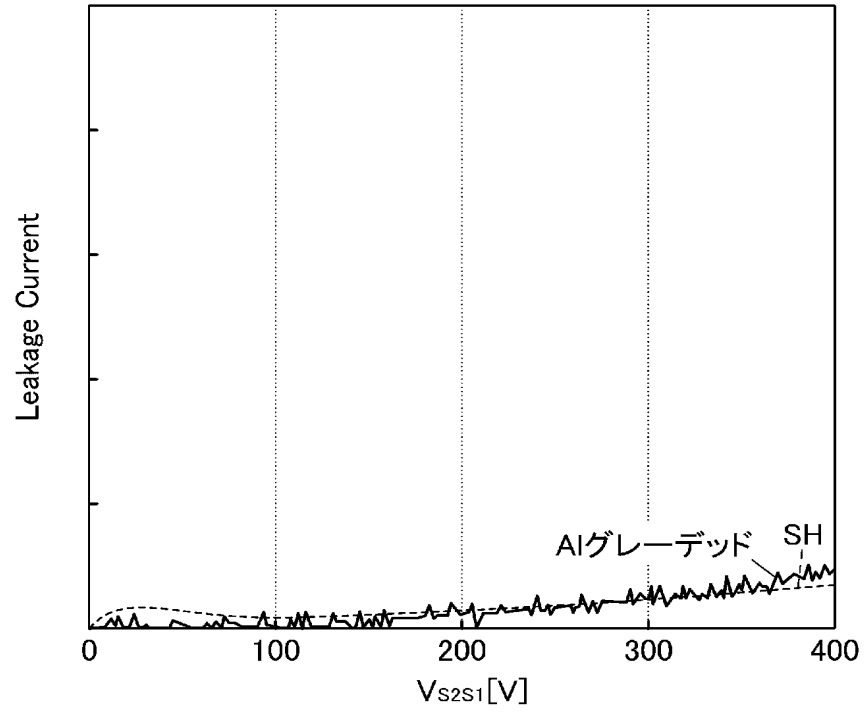


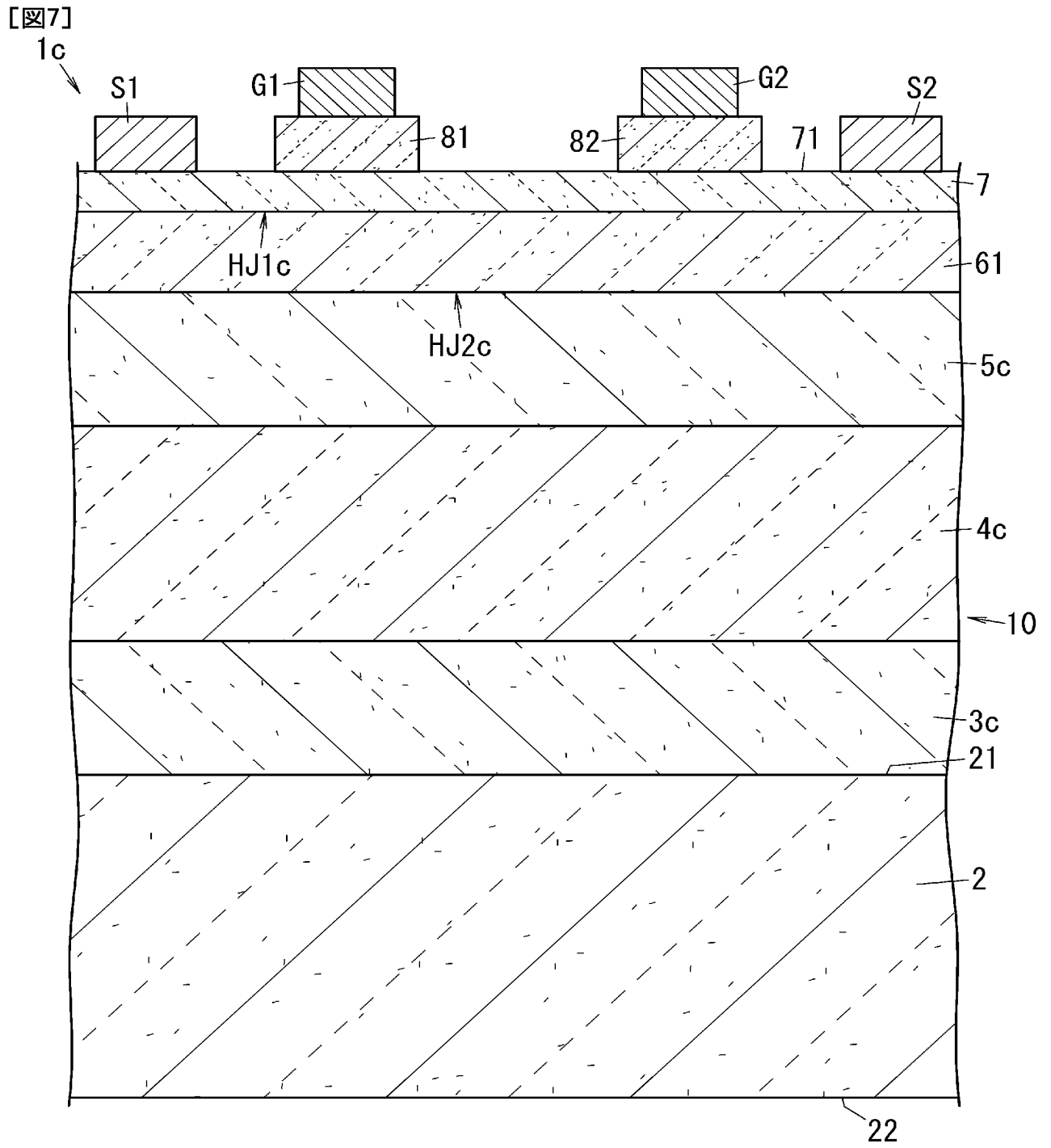
[図4]





[図6]





**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2019/023188

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H01L21/338 (2006.01) i, C30B29/38 (2006.01) i, H01L21/337 (2006.01) i, H01L21/365 (2006.01) i, H01L29/778 (2006.01) i, H01L29/808 (2006.01) i, H01L29/812 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/338, C30B29/38, H01L21/337, H01L21/365, H01L29/778, H01L29/808, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2015-115582 A (RENESAS ELECTRONICS CORP.) 22 June 2015, paragraphs [0017]-[0120], fig. 1-3 & US 2015/0171204 A1, paragraphs [0058]-[0161], fig. 1-3 & EP 2884539 A1 & CN 104716176 A & KR 10-2015-0070001 A & TW 201528503 A	1-4, 8 5-7
Y A	JP 2017-521869 A (TRANSPHORM INC.) 03 August 2017, paragraphs [0004], [0088]-[0092], [0106]-[0115], fig. 1, 10, 14F & US 2016/0020313 A1, paragraphs [0005], [0104]-[0108], [0123]-[0131], fig. 1, 10, 14F & WO 2016/014439 A1 & CN 106537560 A	1-4, 8 5-7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
07 August 2019 (07.08.2019)

Date of mailing of the international search report  
20 August 2019 (20.08.2019)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/023188

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-243871 A (ADVANCED POWER DEVICE RESEARCH ASSOCIATION) 10 December 2012, paragraphs [0041]-[0049], fig. 11-12, 15 & US 2013/0307023 A1, paragraphs [0075]-[0083], fig. 11-12, 15 & EP 2662882 A1 & CN 103403840 A & WO 2012/157228 A1	3-4, 8 5-7
A	JP 2001-196575 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 19 July 2001, paragraphs [0017]-[0028], fig. 1 & US 2001/0020700 A1, paragraphs [0038]-[0051], fig. 1	1-8
A	WO 2008/062800 A1 (PANASONIC CORP.) 29 May 2008, paragraphs [0064]-[0081], fig. 1-3 & US 2010/0097105 A1, paragraphs [0166]-[0183], fig. 1-3 & EP 2084750 A1 & CN 101523614 A & JP 2013-191868 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L21/338(2006.01)i, C30B29/38(2006.01)i, H01L21/337(2006.01)i, H01L21/365(2006.01)i, H01L29/778(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L21/338, C30B29/38, H01L21/337, H01L21/365, H01L29/778, H01L29/808, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2019年  
 日本国実用新案登録公報 1996-2019年  
 日本国登録実用新案公報 1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-115582 A (ルネサスエレクトロニクス株式会社) 2015.06.22, 段落[0017]-[0120], 図 1-3 & US 2015/0171204 A1, 段落 [0058]-[0161], 図 1-3 & EP 2884539 A1 & CN 104716176 A & KR 10-2015-0070001 A & TW 201528503 A	1-4, 8 5-7
Y A	JP 2017-521869 A (トランスフォーム インコーポレーテッド) 2017.08.03, 段落[0004], [0088]-[0092], [0106]-[0115], 図 1, 10, 14F & US 2016/0020313 A1, 段落[0005], [0104]-[0108], [0123]-[0131], 図 1, 10, 14F & WO 2016/014439 A1 & CN 106537560 A	1-4, 8 5-7

☑ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 07.08.2019	国際調査報告の発送日 20.08.2019
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 杉山 芳弘 電話番号 03-3581-1101 内線 3516	5 F 6 3 1 1
---	--	----------------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-243871 A (次世代パワーデバイス技術研究組合) 2012. 12. 10, 段落[0041]-[0049], 図 11-12, 15 & US 2013/0307023 A1, 段落[0075]-[0083], 図 11-12, 15 & EP 2662882 A1 & CN 103403840 A & WO 2012/157228 A1	3-4, 8 5-7
A	JP 2001-196575 A (松下電器産業株式会社) 2001. 07. 19, 段落[0017]-[0028], 図 1 & US 2001/0020700 A1, 段落[0038]-[0051], 図 1	1-8
A	WO 2008/062800 A1 (パナソニック株式会社) 2008. 05. 29, 段落[0064]-[0081], 図 1-3 & US 2010/0097105 A1, 段落[0166]-[0183], 図 1-3 & EP 2084750 A1 & CN 101523614 A & JP 2013-191868 A	1-8