

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2019/092357 A1

(43) Date de la publication internationale
16 mai 2019 (16.05.2019)

(51) Classification internationale des brevets :

H01L 27/15 (2006.01) H01L 33/38 (2010.01)
H01L 33/00 (2010.01) H01L 25/075 (2006.01)

PARIS (FR). **THALES** [FR/FR] ; Tour Carpe Diem, Place des Corolles, Esplanade Nord, 92400 COURBEVOIE (FR).

(21) Numéro de la demande internationale :

PCT/FR2018/052742

(72) Inventeurs : **BONO, Hubert** ; 16 Rue Félix Esclançon, 38000 GRENOBLE (FR). **SIMON, Julia** ; Appartement 8408, 170 Galerie de l'Arlequin, 38100 GRENOBLE (FR).

(22) Date de dépôt international :

06 novembre 2018 (06.11.2018)

(74) Mandataire : **CABINET BEAUMONT** ; 4 Place Robert Schuman, B.P. 1529, 38025 GRENOBLE CEDEX 1 (FR).

(25) Langue de dépôt :

français

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) :

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC,

(26) Langue de publication :

français

(30) Données relatives à la priorité :

1760578 10 novembre 2017 (10.11.2017) FR

(71) Déposants : **COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES** [FR/FR] ; 25 Rue Leblanc, Bâtiment Le Ponant D, 75015

(54) Title: PROCESS FOR FABRICATION OF AN OPTOELECTRONIC DEVICE COMPRISING A PLURALITY OF DIODES

(54) Titre : PROCÉDÉ DE FABRICATION D'UN DISPOSITIF OPTOÉLECTRONIQUE COMPRENANT UNE PLURALITÉ DE DIODES

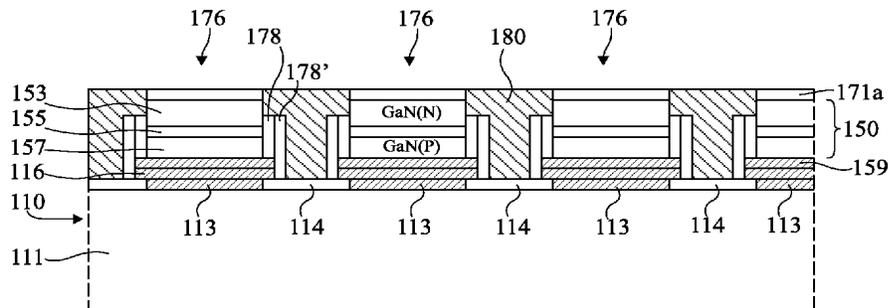


Fig 11

(57) Abstract: The invention relates to a process for fabrication of an optoelectronic device, including: a) adding, to one side of a control circuit (110), a diode stack (150) comprising first and second semiconductor layers (153, 157) of opposite conductivity types, so that the second layer is connected to metal pads (113) of the control circuit; b) forming in the stack trenches bounding a plurality of diodes (176) connected to separate metal pads of the control circuit; c) depositing an insulating layer (178, 178') on the side walls of the trenches; d) partially removing the insulating layer so as to free the flanks of the sections of the first layer that are bounded by the trenches; and e) forming a metallisation (180) coating the side walls and the bottom of the trenches and making contact with the flanks of the sections of the first layer that are bounded by the trenches.

(57) Abrégé : L'invention concerne un procédé de fabrication d'un dispositif optoélectronique, comportant : a) rapporter, sur une face d'un circuit de contrôle (110), un empilement (150) de diode comportant des première (153) et deuxième (157) couches semiconductrices de types de conductivité opposés, de façon que la deuxième couche soit connectée à des plots métalliques (113) du circuit de contrôle; b) former dans l'empilement des tranchées délimitant une pluralité de diodes (176) connectées à des plots métalliques distincts du circuit de contrôle; c) déposer une couche isolante (178, 178') sur les parois latérales des tranchées; d) retirer partiellement la couche isolante de façon à libérer les flancs des portions de la première couche délimitées par les tranchées; et e) former une métallisation (180) revêtant les parois latérales et le fond des tranchées et contactant les flancs des portions de la première couche délimitées par les tranchées.

WO 2019/092357 A1

SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

PROCÉDÉ DE FABRICATION D'UN DISPOSITIF OPTOÉLECTRONIQUE
COMPRENANT UNE PLURALITÉ DE DIODES

La présente demande de brevet revendique la priorité de la demande de brevet français 17/60578 qui sera considérée comme faisant partie intégrante de la présente description.

Domaine

5 La présente demande concerne le domaine des dispositifs optoélectroniques. Elle concerne plus particulièrement un procédé de fabrication d'un dispositif optoélectronique comportant une pluralité de diodes semiconductrices, par exemple au nitrure de gallium, et un circuit électronique de contrôle de ces diodes.

10 Exposé de l'art antérieur

On a déjà proposé un dispositif d'affichage émissif comportant une matrice de diodes électroluminescentes (LED) au nitrure de gallium (GaN), et un circuit de contrôle permettant de commander individuellement les LED pour afficher des images.

15 Pour réaliser un tel dispositif, on peut prévoir de fabriquer séparément le circuit de contrôle et la matrice de LED, puis de les hybrider, c'est-à-dire de les empiler en les connectant l'un à l'autre.

20 Un inconvénient de cette méthode de fabrication réside dans la nécessité d'aligner précisément le circuit de contrôle et la matrice de LED lors de l'étape d'assemblage de ces deux

éléments, de façon que chaque LED vienne bien se positionner sur un plot métallique qui lui correspond dans le circuit de contrôle. Cet alignement est notamment difficile à réaliser lorsque le pas des pixels diminue, et constitue un frein à l'augmentation de la
5 résolution et/ou de la densité d'intégration des pixels.

Pour pallier cet inconvénient, il a été proposé, notamment dans la demande de brevet internationale N°PCT/FR2016/051140 déposée par le demandeur le 13 mai 2016, de :

10 réaliser d'abord le circuit de contrôle sous la forme d'un circuit intégré comportant, sur une face, une pluralité de plots métalliques destinés à être connectés aux LED de façon à permettre de contrôler individuellement le courant circulant dans chaque LED ;

15 rapporter ensuite sur la face du circuit de contrôle comportant les plots métalliques un empilement actif de LED s'étendant de façon continue sur toute la surface du circuit de contrôle ; puis

structurer l'empilement actif de LED pour délimiter et isoler les unes des autres les différentes LED du dispositif.

20 Un avantage de ce procédé de fabrication est que, lors de l'étape de report de l'empilement actif de LED sur le circuit de contrôle, les positions des différentes LED du dispositif dans l'empilement actif ne sont pas encore définies. Il n'y a par conséquent pas de contrainte forte en termes de précision
25 d'alignement lors du report. La délimitation des différentes LED dans l'empilement actif peut ensuite être réalisée par des procédés de structuration d'un substrat et de dépôt de couches isolantes et conductrices sur un substrat, qui offrent une précision d'alignement nettement supérieure à la précision qui
30 peut être obtenue lors d'un report d'un substrat sur un autre.

Il serait toutefois souhaitable d'améliorer au moins en partie certains aspects du procédé décrit dans la demande N°PCT/FR2016/051140 susmentionnée.

Résumé

Ainsi, un mode de réalisation prévoit un procédé de fabrication d'un dispositif optoélectronique, comportant les étapes suivantes :

5 a) rapporter, sur une face d'un circuit intégré de contrôle comportant une pluralité de plots métalliques de connexion, un empilement actif de diode comportant au moins des première et deuxième couches semiconductrices dopées de types de conductivité opposés, de façon que la deuxième couche de
10 l'empilement soit électriquement connectée aux plots métalliques du circuit de contrôle ;

 b) former dans l'empilement actif des tranchées délimitant une pluralité de diodes connectées à des plots métalliques distincts du circuit de contrôle ;

15 c) déposer une couche isolante sur les parois latérales des tranchées ;

 d) retirer partiellement la couche isolante de façon à libérer les flancs des portions de la première couche semiconductrice délimitées par les tranchées ; et

20 e) former une métallisation revêtant les parois latérales et le fond des tranchées et contactant les flancs des portions de la première couche semiconductrice délimitées par les tranchées.

 Selon un mode de réalisation, le procédé comporte en
25 outre, avant l'étape a), au moins l'une des étapes suivantes :

 une étape de dépôt d'au moins une première couche métallique sur sensiblement toute la surface du circuit de contrôle côté plots métalliques ; et

30 une étape de dépôt d'au moins une deuxième couche métallique sur sensiblement toute la surface de la deuxième couche semiconductrice opposée à la première couche semiconductrice.

 Selon un mode de réalisation, la formation des tranchées comprend :

35 une première étape de gravure de tranchées partielles traversant l'empilement actif sur toute sa hauteur et débouchant

sur la face supérieure de la première ou deuxième couche métallique ; et

une deuxième étape de gravure au cours de laquelle les tranchées partielles sont prolongées à travers les première et deuxième couches métalliques.

Selon un mode de réalisation, la couche isolante comprend une première partie déposée sur les flancs des tranchées partielles, entre les première et deuxième étapes de gravure, et une deuxième partie déposée sur les flancs des tranchées après la deuxième étape de gravure.

Selon un mode de réalisation, à l'étape d), le retrait partiel de la couche isolante est réalisé par gravure anisotrope.

Selon un mode de réalisation, lors de la mise en oeuvre de l'étape a), l'empilement actif est supporté par un substrat de support situé du côté de la première couche semiconductrice opposé à la deuxième couche semiconductrice, le procédé comprenant en outre, entre l'étape a) et l'étape b), une étape de retrait du substrat de support.

Selon un mode de réalisation, la métallisation formée à l'étape e) comble entièrement les tranchées.

Selon un mode de réalisation, les diodes semiconductrices sont des diodes électroluminescentes.

Selon un mode de réalisation, les diodes sont des photodiodes.

Selon un mode de réalisation, les première et deuxième couches semiconductrices sont des couches de nitrure de gallium, les diodes étant des diodes au nitrure de gallium.

Selon un mode de réalisation, le circuit de contrôle est formé dans et sur un substrat semiconducteur.

Un autre mode de réalisation prévoit un dispositif opto-électronique, comportant :

un circuit intégré de contrôle comportant une pluralité de plots métalliques de connexion ;

sur le circuit de contrôle, un empilement actif de diode comportant au moins des première et deuxième couches

semiconductrices dopées de types de conductivité opposés, la deuxième couche de l'empilement étant électriquement connectée aux plots métalliques du circuit de contrôle ;

des tranchées s'étendant dans l'empilement actif et
5 délimitant dans l'empilement actif une pluralité de diodes connectées à des plots métalliques distincts du circuit de contrôle ;

une couche isolante revêtant les parois latérales des tranchées à l'exception d'au moins une partie des flancs des
10 portions de la première couche semiconductrice délimitées par les tranchées ; et

une métallisation revêtant les parois latérales et le fond des tranchées et contactant les flancs des portions de la première couche semiconductrice délimitées par les tranchées.

15 Un autre mode de réalisation prévoit un procédé de fabrication d'un dispositif optoélectronique, comportant les étapes suivantes :

a) rapporter, sur une face d'un circuit intégré de contrôle comportant une pluralité de plots métalliques de
20 connexion, un empilement actif de diode comportant au moins des première et deuxième couches semiconductrices dopées de types de conductivité opposés, de façon que la deuxième couche de l'empilement soit électriquement connectée aux plots métalliques du circuit de contrôle ;

25 b) déposer un masque sur la face de l'empilement actif opposée au circuit de contrôle ;

c) former dans l'empilement actif, par gravure à travers des ouvertures préalablement formées dans le masque, des tranchées délimitant une pluralité de diodes connectées à des plots
30 métalliques distincts du circuit de contrôle ;

d) déposer une couche isolante sur les parois latérales des tranchées ;

e) retirer partiellement la couche isolante de façon à libérer les flancs des portions de la première couche

semiconductrice délimitées par les tranchées tout en conservant au moins une partie de l'épaisseur du masque ;

f) déposer, sur la face supérieure du masque et dans les tranchées, une couche métallique d'épaisseur suffisante pour
5 combler entièrement les tranchées ; et

g) retirer, par polissage mécano-chimique, la couche métallique sur la face supérieure du masque et une partie de l'épaisseur du masque, de façon à ne conserver de la couche métallique qu'une métallisation revêtant les parois latérales et
10 le fond des tranchées et contactant les flancs des portions de la première couche semiconductrice délimitées par les tranchées.

Selon un mode de réalisation, à l'étape e), le retrait partiel de la couche isolante est réalisé par gravure anisotrope verticale.

15 Brève description des dessins

Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

20 les figures 1A, 1B, 1C, 1D, 1E, 1F, 1G, 1H et 1I sont des vues en coupe illustrant des étapes d'un exemple d'un mode de réalisation d'un procédé de fabrication d'un dispositif optoélectronique.

Description détaillée

25 De mêmes éléments ont été désignés par de mêmes références aux différentes figures et, de plus, les diverses figures ne sont pas tracées à l'échelle. Par souci de clarté, seuls les éléments qui sont utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En
30 particulier, la réalisation d'un circuit intégré de contrôle de diodes semiconductrices n'a pas été détaillée, les modes de réalisation décrits étant compatibles avec les structures et procédés de fabrication usuels de tels circuits de contrôle. De plus, la composition et l'agencement des différentes couches d'un
35 empilement actif de diode semiconductrice n'ont pas été détaillés,

les modes de réalisation décrits étant compatibles avec les empilements actifs usuels de diodes semiconductrices, notamment au nitrure de gallium. Dans la description qui suit, sauf indication contraire, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", "latéral", etc., il est fait référence à l'orientation des figures correspondantes, étant entendu que, dans la pratique, les dispositifs et assemblages décrits peuvent être orientés différemment. Sauf précision contraire, les expressions "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

Les figures 1A, 1B, 1C, 1D, 1E, 1F, 1G, 1H et 1I sont des vues en coupe illustrant des étapes d'un exemple d'un mode de réalisation d'un procédé de fabrication d'un dispositif optoélectronique.

La figure 1A représente de façon schématique un circuit intégré de contrôle 110, préalablement formé dans et sur un substrat semiconducteur 111, par exemple un substrat en silicium. Dans cet exemple, le circuit de contrôle 110 comprend, du côté de sa face supérieure, pour chacune des LED du dispositif, un plot métallique de connexion 113 destiné à être connecté à l'une des électrodes (anode ou cathode) de la LED, de façon à pouvoir commander un courant circulant dans la LED et/ou appliquer une tension aux bornes de la LED. Le circuit de contrôle comprend par exemple pour chaque LED, connectée au plot métallique 113 dédié à la LED, une cellule élémentaire de contrôle comportant un ou plusieurs transistors, permettant de contrôler le courant circulant dans la LED et/ou une tension appliquée aux bornes de la LED. Le circuit de contrôle 110 est par exemple réalisé en technologie CMOS. Les plots métalliques 113 peuvent être latéralement entourés par un matériau isolant 114, par exemple de l'oxyde de silicium, de façon que le circuit de contrôle 110

présente une surface supérieure sensiblement plane comprenant une alternance (ou damier) de régions métalliques 113 et de régions isolantes 114. Le contact sur les électrodes des LED (cathodes ou anodes), non connectées aux plots 113, peut être pris de façon collective, par exemple dans une région périphérique du circuit de contrôle 110, par l'intermédiaire d'un ou plusieurs plots de connexion (non visibles sur la figure) du circuit de contrôle 110.

La figure 1A représente en outre de façon schématique un empilement actif de LED au nitrure de gallium 150, disposé sur la face supérieure d'un substrat de support 151. Le substrat de support 151 est par exemple un substrat en silicium, en saphir, en corindon, ou en tout autre matériau sur lequel un empilement actif de LED au nitrure de gallium peut être déposé. Dans l'exemple représenté, l'empilement actif comprend, dans l'ordre à partir de la surface supérieure du substrat 151, une couche de nitrure de gallium dopé de type N 153, une couche émissive 155, et une couche de nitrure de gallium dopé de type P 157. La couche émissive 155 est par exemple constituée par un empilement d'une ou plusieurs couches émissives formant chacune un puits quantique, par exemple à base de GaN, InN, InGaN, AlGaN, AlN, AlInGaN, GaP, AlGaP, AlInGaP, ou d'une combinaison d'un ou plusieurs de ces matériaux. A titre de variante, la couche émissive 155 peut être une couche de nitrure de gallium intrinsèque, c'est-à-dire non intentionnellement dopé, par exemple de concentration en donneurs résiduels comprise entre 10^{15} et 10^{18} atomes/cm³, par exemple de l'ordre de 10^{17} atomes/cm³. Dans cet exemple, la face inférieure de la couche émissive 155 est en contact avec la face supérieure de la couche 153, et la face supérieure de la couche émissive 155 est en contact avec la face inférieure de la couche 157. En pratique, selon la nature du substrat 151, un empilement d'une ou plusieurs couches tampon (non représentées) peut faire interface entre le substrat de support 151 et la couche de nitrure de gallium 153. L'empilement actif 150 est par exemple déposé par épitaxie sur le substrat de support 151.

La figure 1B illustre une étape de dépôt, sur la face supérieure du circuit de contrôle 110, d'une couche métallique 116. Dans l'exemple représenté, la couche métallique 116 revêt sensiblement toute la surface supérieure du circuit de contrôle 110. En particulier, la couche métallique 116 est en contact avec les plots métalliques de connexion 113 du circuit de contrôle 110.

La figure 1B illustre en outre une étape de dépôt, sur la face supérieure de l'empilement actif de diode au nitrure de gallium 150, d'une couche métallique 159. Dans l'exemple représenté, la couche métallique 159 est disposée sur et en contact avec la face supérieure de la couche de nitrure de gallium 157. La couche métallique 159 revêt par exemple sensiblement toute la surface supérieure de l'empilement actif.

La figure 1C illustre une étape au cours de laquelle l'empilement actif de LED au nitrure de gallium 150 est rapporté sur la face supérieure du circuit de contrôle 110. Pour cela, l'ensemble comportant le substrat de support 151 et l'empilement actif 150 peut être retourné, puis rapporté sur le circuit de contrôle 110, de façon à mettre en contact la face supérieure (dans l'orientation de la figure 1B) de la couche métallique 159 en contact avec la face supérieure de la couche métallique 116. Au cours de cette étape, l'empilement actif 150 est fixé (bonded) au circuit de contrôle 110. A titre d'exemple, la fixation de l'empilement actif 150 sur le circuit de contrôle 110 peut être obtenue par collage moléculaire entre les deux surfaces mises en contact. A titre de variante, la fixation des deux surfaces peut être réalisée par thermocompression, collage eutectique, ou par toute autre méthode de fixation adaptée.

Une fois l'empilement actif de LED 150 fixé sur la face supérieure du circuit de contrôle 110, le substrat de support 151 de l'empilement actif de LED est retiré de façon à découvrir la face supérieure de la couche de nitrure de gallium 153. Le substrat 151 est par exemple retiré par meulage et/ou gravure à partir de sa face opposée à l'empilement actif 150. A titre de variante, dans le cas d'un substrat 151 transparent, par exemple un substrat

en saphir ou en corindon, le substrat 151 peut être détaché de l'empilement actif 150 au moyen d'un faisceau laser projeté à travers le substrat 151 depuis sa face opposée à l'empilement actif 150 (procédé de type laser lift-off). Plus généralement, 5 toute autre méthode permettant de retirer le substrat 151 peut être utilisée. Après le retrait du substrat 151, une étape supplémentaire de gravure peut être prévue pour retirer d'éventuelles couches tampon subsistant du côté de la face supérieure de la couche de nitrure de gallium 153. En outre, une 10 partie de l'épaisseur de la couche de nitrure de gallium 153 peut être retirée, par exemple par gravure. A l'issue de cette étape, l'empilement actif 150 revêt sensiblement toute la surface du circuit de contrôle 110, sans discontinuité. A titre d'exemple, l'épaisseur de l'empilement actif 150 après le retrait du substrat 15 de support 151 est comprise entre 0,5 et 10 μm .

La figure 1D illustre une étape postérieure au retrait du substrat 151, de dépôt d'un masque dur 171 sur la face supérieure (dans l'orientation de la figure 1D) de l'empilement actif de LED 150. Dans cet exemple, le masque dur 171 est constitué 20 d'un empilement comprenant, dans l'ordre à partir de la face supérieure de la couche de nitrure de gallium de type N 157, une première couche d'oxyde de silicium 171a, une couche intermédiaire d'arrêt de gravure 171b, et une deuxième couche d'oxyde de silicium 171c. La couche intermédiaire 171b est en un matériau 25 relativement difficilement gravable par rapport à l'oxyde de silicium, par exemple de l'aluminium, de l'alumine, ou du nitrure. A titre d'exemple, la couche intermédiaire 171b a une épaisseur comprise entre 10 et 500 nm, par exemple de l'ordre de 100 nm.

La figure 1D illustre en outre une étape de formation 30 d'ouvertures ou tranchées traversantes 173 dans le masque dur 171, par exemple par photolithographie puis gravure. Les tranchées 173 s'étendent depuis la face supérieure du masque dur 171 et débouchent sur la face supérieure de l'empilement actif de LED 150. Les tranchées 173 délimitent, en vue de dessus, les futures 35 LED individuelles 176 du dispositif d'affichage.

La figure 1E illustre une étape de prolongement, à travers l'empilement actif de LED 150, des tranchées 173 préalablement formées dans le masque dur 171. A titre d'exemple, les tranchées 173 sont prolongées verticalement par gravure à travers les couches 153, 155 et 157 de l'empilement de LED 150, la gravure étant interrompue sur la face supérieure de la couche métallique 159. Lors de cette étape de gravure, la couche supérieure d'oxyde de silicium 171c du masque dur 171 peut être partiellement ou totalement consommée. Les couches 171b et 171a sont en revanche préservées. Le prolongement des tranchées 173 à travers l'empilement actif 150 conduit à délimiter dans l'empilement actif 150 une pluralité de LED au nitrure de gallium 176. Chaque LED 176 correspond à un îlot ou mesa formé dans l'empilement 150 et entouré latéralement par une tranchée 173. Ainsi, chaque LED 176 comprend un empilement vertical comportant, dans l'ordre à partir de la surface supérieure de la couche métallique 159, une portion de la couche de nitrure de gallium 157, correspondant à l'anode de la LED dans cet exemple, une portion de la couche émissive 155, et une portion de la couche de nitrure de gallium 153, correspondant à la cathode de la LED dans cet exemple. Les tranchées 173 peuvent être alignées par rapport à des repères préalablement formés sur le circuit de contrôle 110. Plus particulièrement, à l'étape de la figure 1D, après le dépôt du masque dur 171 mais avant la formation des tranchées 173, des repères préalablement formés sur le substrat 111 peuvent être dégagés par gravure du masque dur 171 et de l'empilement actif 150 dans des zones périphériques de l'assemblage, ces repères servant ensuite de marques d'alignement pour le positionnement du masque de photolithographie utilisé pour réaliser les tranchées 173. Dans l'exemple représenté, chaque LED 176 est située, en projection verticale, en regard d'un unique plot métallique 113 du circuit de contrôle 110. Dans cet exemple, les tranchées 173 sont situées, en projection verticale, en regard des régions isolantes 114 de la face supérieure du circuit de contrôle 110.

La figure 1E illustre en outre une étape de dépôt d'une couche isolante 178, par exemple en oxyde de silicium, sur les parois latérales et sur le fond des tranchées 173. Dans l'exemple représenté, la couche 178 est en outre déposée sur la face supérieure des portions du masque dur 171 surmontant les LED 176. La couche 178 est par exemple déposée sur toute la surface supérieure du dispositif par une méthode de dépôt conforme, par exemple par dépôt en couches monoatomiques successives (ALD). A titre d'exemple, l'épaisseur de la couche isolante 178 est comprise entre 10 nm et 1 μ m.

La figure 1F illustre une étape de retrait de la couche isolante 178 au fond des tranchées 173. Lors de cette étape, la couche 178 est conservée sur les parois latérales des tranchées 173. Pour cela, la couche 178 est par exemple gravée par gravure anisotrope verticale, ce qui conduit en outre à retirer la couche 178 sur la face supérieure des portions du masque dur 171 surmontant les LED 176.

La figure 1F illustre de plus une étape de retrait, par exemple par gravure, des portions des couches métalliques 159 et 116 situées au fond des tranchées 173, de façon à prolonger les tranchées 173 jusqu'aux régions isolantes 114 de la face supérieure du circuit de contrôle 110. A l'issue de cette étape, les anodes (régions 157) des différentes LED 176 sont isolées électriquement les unes des autres par les tranchées 173, et chaque LED 176 a son anode connectée au plot métallique 113 sous-jacent par l'intermédiaire des portions de couches métalliques 159 et 116 subsistant entre la LED et le plot 113. Ceci permet un contrôle individuel des LED par le circuit de contrôle 110.

La figure 1G illustre une étape ultérieure de dépôt, sur les parois latérales des tranchées 173, d'une deuxième couche isolante 178', par exemple en oxyde de silicium. La couche 178' est par exemple déposée sur toute la surface supérieure de l'assemblage par une technique de dépôt conforme, puis retirée uniquement sur la face supérieure des LED 176 et au fond des tranchées 173, par exemple par gravure anisotrope.

La figure 1H illustre une étape ultérieure de retrait des couches isolantes 178 et 178' sur une partie supérieure des flancs des LED 176. Plus particulièrement, lors de cette étape, les couches isolantes 178 et 178' sont retirées sur tout ou partie des flancs de la région de cathode 153 de chaque LED 176, de façon à libérer l'accès aux flancs de la région de cathode 153 de la LED. A titre d'exemple, les couches isolantes 178 et 178' sont retirées sur sensiblement toute la hauteur des flancs des régions de cathode 153 des LED 176. Les couches 178 et 178' sont en revanche conservées sur les flancs d'une partie inférieure de chaque LED 176, et en particulier sur toute la hauteur de la région émissive 155 et de la région d'anode 157 de chaque LED 176. De plus, la couche 178' est conservée sur les flancs des couches métalliques 116 et 159. A titre d'exemple, le retrait des couches 178 et 178' sur la partie supérieure des flancs des LED 176 est réalisé par gravure anisotrope verticale. Le procédé de gravure est de préférence choisi de façon à graver sélectivement l'oxyde de silicium par rapport au matériau de la couche intermédiaire 171b du masque dur 171. A titre d'exemple, la couche supérieure d'oxyde de silicium 171c du masque dur 171 est entièrement consommée lors de cette étape, tandis que la couche 171b est préservée et permet de protéger la partie inférieure 171a du masque dur 171. Les modes de réalisation décrits ne se limitent toutefois pas à ce cas particulier. A titre de variante, le masque dur 171 peut être constitué uniquement d'oxyde de silicium, pour autant que son épaisseur soit suffisamment importante pour protéger la face supérieure des LED 176 lors de l'étape de gravure anisotrope verticale de la figure 1H.

La figure 1I illustre une étape ultérieure de dépôt d'une métallisation 180 sur les parois latérales et sur le fond des tranchées 173. Dans l'exemple représenté, la métallisation 180 comble entièrement les tranchées 173. A titre d'exemple, la métallisation 180 est réalisée par un procédé de type damascène, comprenant une étape de dépôt d'une couche métallique sur toute la surface supérieure de l'assemblage sur une épaisseur suffisante

pour combler les tranchées 173, suivie d'une étape de polissage mécano-chimique de la face supérieure de l'assemblage pour planariser la face supérieure du dispositif et retirer les portions de la couche métallique surmontant les LED 176. Dans cet exemple, la couche d'arrêt de gravure 171b du masque dur 171 est en outre retirée lors de l'étape de polissage mécano-chimique. A titre d'exemple, seule la couche d'oxyde de silicium inférieure 171a ou une partie de l'épaisseur de la couche 171a est conservée et sert de couche de passivation de la face supérieure des régions de cathode 153 des LED 176. La métallisation 180 est par exemple constituée d'une couche inférieure d'accroche, comprenant par exemple un empilement Aluminium/Titane/Nitru de Titane/Cuivre d'épaisseur comprise entre 10 et 100 nm, par exemple d'épaisseur de l'ordre de 50 nm, et d'une couche supérieure de remplissage, par exemple en cuivre, déposée par dépôt électrochimique. La métallisation 180 est en contact avec les flancs de la région de cathode 153 de chaque LED 176 du dispositif d'affichage, sur sensiblement toute la périphérie de la LED. La métallisation 180 est en revanche isolée des flancs des régions d'anode 157 et des régions émissives 155 des LED par les couches isolantes 178 et 178'. Dans cet exemple, la métallisation 180 forme, en vue de dessus, une grille conductrice continue interconnectant les régions de cathode 153 de toutes les LED du dispositif. La métallisation 180 est par exemple connectée au circuit de contrôle 110 dans une région périphérique du dispositif d'affichage.

Dans l'exemple de réalisation décrit en relation avec les figures 1A à 1I, le dépôt des couches métalliques 116 et 159 sur le circuit de contrôle 110 et sur l'empilement actif 150 (étape de la figure 1B) préalablement au report de l'empilement actif 150 sur le circuit de contrôle 110 (étape de la figure 1C) présente plusieurs avantages.

En particulier, les couches 116 et 159 permettent d'améliorer la qualité du collage entre les deux structures. En effet, bien que possible, le collage direct de la face supérieure (dans l'orientation de la figure 1A) de la couche de nitrure de

gallium 157 sur la surface supérieure du circuit de contrôle 110 (comprenant une alternance de régions isolantes 114 et de régions métalliques 113) est relativement délicat à réaliser.

En outre, la couche 159 peut avantageusement être choisie pour réaliser un bon contact ohmique avec la couche de nitrure de gallium 157. Le matériau des plots métalliques 113 du circuit de contrôle 110, par exemple du cuivre ou de l'aluminium, peut en effet ne pas être adapté à la réalisation d'un tel contact ohmique.

De plus, les couches 116 et/ou 159 peuvent comprendre un métal réfléchissant pour la lumière émise par les LEDs 176, de façon à augmenter l'efficacité d'émission et éviter des déperditions de lumière dans le circuit de contrôle 110.

Par ailleurs, la couche 116 et/ou la couche 159 peuvent être choisies de façon à éviter que du métal des plots de connexion 113 du circuit de contrôle, par exemple du cuivre, ne diffuse vers la couche de nitrure de gallium 157, ce qui pourrait notamment dégrader la qualité du contact ohmique avec la couche de nitrure de gallium 157.

En pratique, chacune des couches 116 et 159 peut être une couche unique ou un empilement d'une ou plusieurs couches de métaux différents permettant d'assurer tout ou partie des fonctions susmentionnées.

A titre d'exemple, la couche 116 comprend une couche supérieure en un métal de même nature qu'une couche supérieure (dans l'orientation de la figure 1B) de la couche 159, ce métal étant choisi pour obtenir un bon collage entre les deux structures lors de l'étape de la figure 1C, par exemple un métal du groupe comprenant le Ti, le Ni, le Pt, le Sn, l'Au, l'Ag, l'Al, le Pd, le W, le Pb, le Cu, l'AuSn, le TiSn, le NiSn ou un alliage de tout ou partie de ces matériaux. L'empilement formé par les couches 116 et 159 peut en outre comprendre une ou plusieurs couches en des métaux adaptés à réfléchir la lumière émise par les LEDs, par exemple de l'argent. De plus, l'empilement formé par les couches 116 et 159 peut comprendre une ou plusieurs couches adaptées à

faire barrière à la diffusion de métaux tels que le cuivre ou l'argent compris dans l'empilement 116/159 et/ou dans les plots métalliques 113, par exemple des couches de TaN, TiN, WN, TiW, ou d'une combinaison de tout ou partie de ces matériaux.

5 En variante, la couche 116 et/ou la couche 159 peuvent toutefois être omises. De préférence, au moins l'une des couches 116 et 159 est prévue, de préférence la couche 159 formée côté empilement actif de LED 150.

10 Un avantage du procédé décrit en relation avec les figures 1A à 1I est qu'il présente une unique étape de photolithographie et gravure (pour définir l'emplacement des tranchées 113), ce qui le rend particulièrement simple et peu coûteux à mettre en oeuvre.

15 Un autre avantage de ce procédé est que le contact électrique de cathode des LED 176 est pris latéralement sur toute la périphérie des régions de cathode 153 des LED. Ceci permet de minimiser la résistance de contact de cathode, et ainsi de limiter la consommation électrique du dispositif.

20 Par ailleurs, la disposition des métallisations de contact de cathode 180 dans les tranchées d'isolation des LED 176 permet de maximiser la surface active du dispositif d'affichage. Cette disposition permet en outre de renforcer l'isolation optique entre les différentes LED 176, et de favoriser l'évacuation de la chaleur générée par les LED 176 en fonctionnement.

25 On notera que, dans le procédé décrit en relation avec les figures 1A à 1I, le dépôt de la couche 178 à l'étape de la figure 1E permet avantageusement de protéger les flancs de l'empilement actif de LED 150 lors de l'étape ultérieure de gravure des couches métalliques 159 et 116 à l'étape de la figure 30 1F. A titre de variante, le dépôt de la couche isolante 178 peut toutefois être omis. Dans ce cas, seule la couche 178' déposée à l'étape de la figure 1G revêt les flancs des LED 176 lors de l'étape de dégagement des flancs des régions de cathode 153 des LED illustrée par la figure 1G.

Des modes de réalisation particuliers ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, les types de conductivité des couches de nitru-
5 153 (de type N dans les exemples décrits) et
157 (de type P dans les exemples décrits) peuvent être inversés.

Par ailleurs, bien que l'on ait décrit uniquement des exemples de réalisation de dispositifs d'affichage à base de LED au nitru-
10 de gallium, les modes de réalisation décrits peuvent être adaptés à la fabrication d'un capteur comportant une pluralité de photodiodes au nitru-
de gallium adressables individuellement pour acquérir une image.

Plus généralement, les modes de réalisation décrits peuvent être adaptés à la fabrication de tout dispositif d'affichage ou capteur photosensible à base de diodes semi-
15 conductrices, y compris à base de matériaux semiconducteurs autres que le nitru-
de gallium, par exemple des diodes à base d'autres matériaux semiconducteurs III-V ou des diodes à base de silicium.

REVENDEICATIONS

1. Procédé de fabrication d'un dispositif opto-électronique, comportant les étapes suivantes :

a) rapporter, sur une face d'un circuit intégré de contrôle (110) comportant une pluralité de plots métalliques (113) de connexion, un empilement actif (150) de diode comportant au moins des première (153) et deuxième (157) couches semiconductrices dopées de types de conductivité opposés, de façon que la deuxième couche (157) de l'empilement soit électriquement connectée aux plots métalliques (113) du circuit de contrôle (110) ;

b) former dans l'empilement actif (150) des tranchées (173) délimitant une pluralité de diodes (176) connectées à des plots métalliques (113) distincts du circuit de contrôle (110) ;

c) déposer une couche isolante (178, 178') sur les parois latérales des tranchées (173) ;

d) retirer partiellement la couche isolante (178, 178') de façon à libérer les flancs des portions de la première couche semiconductrice (153) délimitées par les tranchées ; et

e) former une métallisation (180) revêtant les parois latérales et le fond des tranchées (173) et contactant les flancs des portions de la première couche semiconductrice (153) délimitées par les tranchées.

2. Procédé selon la revendication 1, comportant en outre, avant l'étape a), au moins l'une des étapes suivantes :

une étape de dépôt d'au moins une première couche métallique (116) sur sensiblement toute la surface du circuit de contrôle (110) côté plots métalliques (113) ; et

une étape de dépôt d'au moins une deuxième couche métallique (159) sur sensiblement toute la surface de la deuxième couche (157) semiconductrice opposée à la première couche (153) semiconductrice.

3. Procédé selon la revendication 2, dans lequel la formation des tranchées (173) comprend :

une première étape de gravure de tranchées partielles traversant l'empilement actif (150) sur toute sa hauteur et débouchant sur la face supérieure de la première (116) ou deuxième (159) couche métallique ; et

5 une deuxième étape de gravure au cours de laquelle les tranchées partielles sont prolongées à travers les première (116) et deuxième (159) couches métalliques.

4. Procédé selon la revendication 3, dans lequel la couche isolante (178, 178') comprend une première partie (178) déposée sur les flancs des tranchées partielles, entre les première et deuxième étapes de gravure, et une deuxième partie (178') déposée sur les flancs des tranchées (173) après la deuxième étape de gravure.

5. Procédé selon l'une quelconque des revendications 1 à 4, dans lequel, à l'étape d), le retrait partiel de la couche isolante (178, 178') est réalisé par gravure anisotrope.

6. Procédé selon l'une quelconque des revendications 1 à 5, dans lequel, lors de la mise en oeuvre de l'étape a), l'empilement actif (150) est supporté par un substrat de support (151) situé du côté de la première couche (153) semiconductrice opposé à la deuxième couche (157) semiconductrice, le procédé comprenant en outre, entre l'étape a) et l'étape b), une étape de retrait du substrat de support (151).

7. Procédé selon l'une quelconque des revendications 1 à 6, dans lequel la métallisation (180) formée à l'étape e) comble entièrement les tranchées (173).

8. Procédé selon l'une quelconque des revendications 1 à 7, dans lequel lesdites diodes (176) semiconductrices sont des diodes électroluminescentes.

9. Procédé selon l'une quelconque des revendications 1 à 7, dans lequel lesdites diodes sont des photodiodes.

10. Procédé selon l'une quelconque des revendications 1 à 9, dans lequel les première (153) et deuxième (157) couches semiconductrices sont des couches de nitrure de gallium, lesdites diodes (176) étant des diodes au nitrure de gallium.

11. Procédé selon l'une quelconque des revendications 1 à 10, dans lequel le circuit de contrôle (110) est formé dans et sur un substrat semiconducteur (111).

12. Dispositif optoélectronique, comportant :

5 un circuit intégré de contrôle (110) comportant une pluralité de plots métalliques (113) de connexion ;

sur le circuit de contrôle (110), un empilement actif (150) de diode comportant au moins des première (153) et deuxième (157) couches semiconductrices dopées de types de conductivité opposés, la deuxième couche (157) de l'empilement étant électriquement connectée aux plots métalliques (113) du circuit de contrôle (110) ;

des tranchées (173) s'étendant dans l'empilement actif (150) et délimitant dans l'empilement actif (150) une pluralité de diodes (176) connectées à des plots métalliques (113) distincts du circuit de contrôle (110) ;

une couche isolante (178, 178') revêtant les parois latérales des tranchées (173) à l'exception d'au moins une partie des flancs des portions de la première couche semiconductrice (153) délimitées par les tranchées (173) ; et

une métallisation (180) revêtant les parois latérales et le fond des tranchées et contactant les flancs des portions de la première couche semiconductrice (153) délimitées par les tranchées (173).

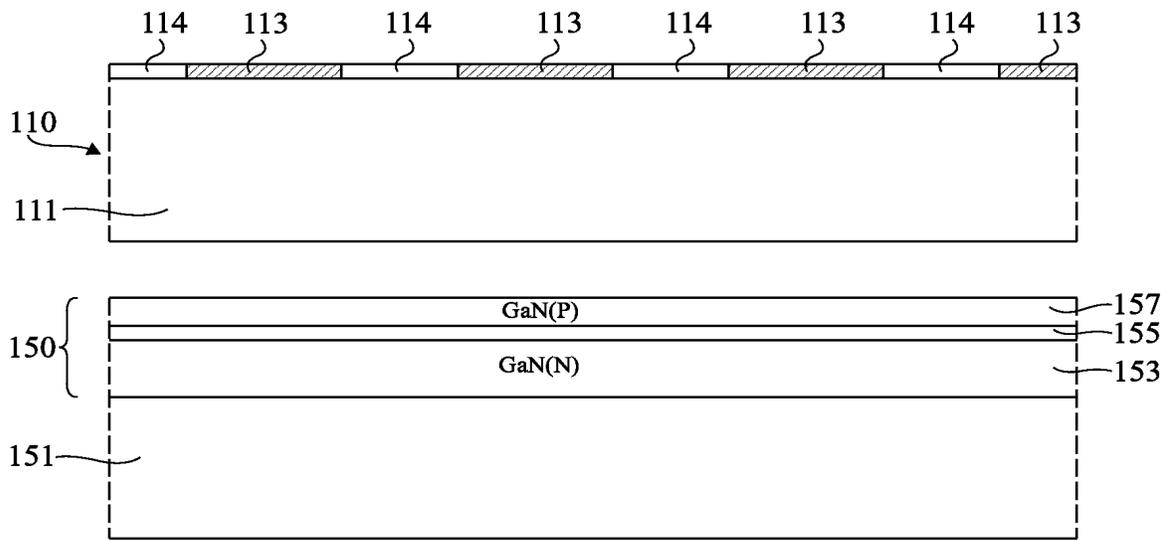


Fig 1A

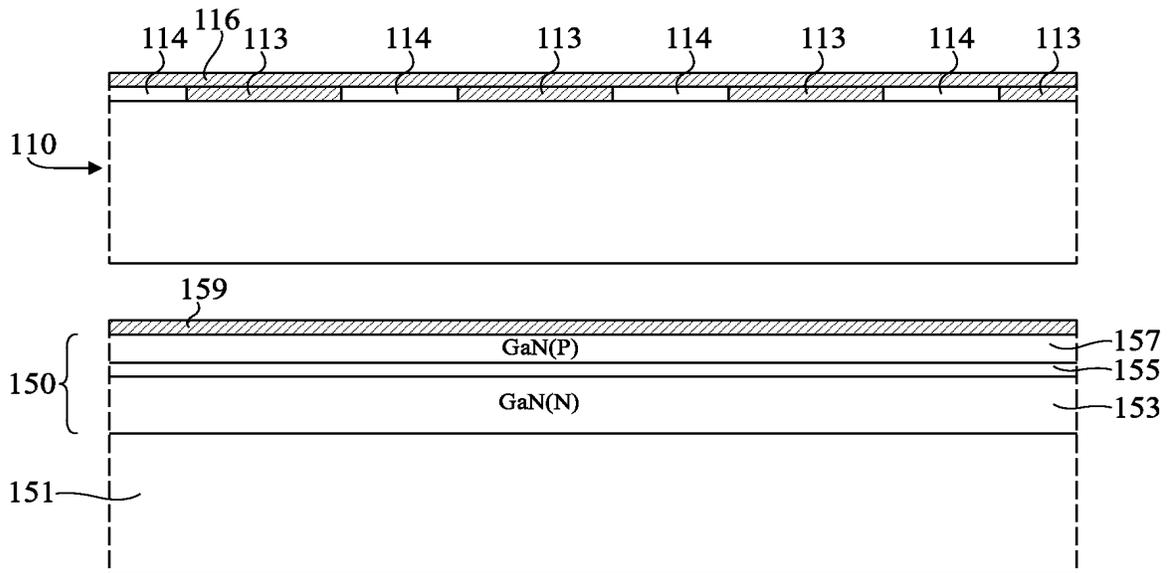


Fig 1B

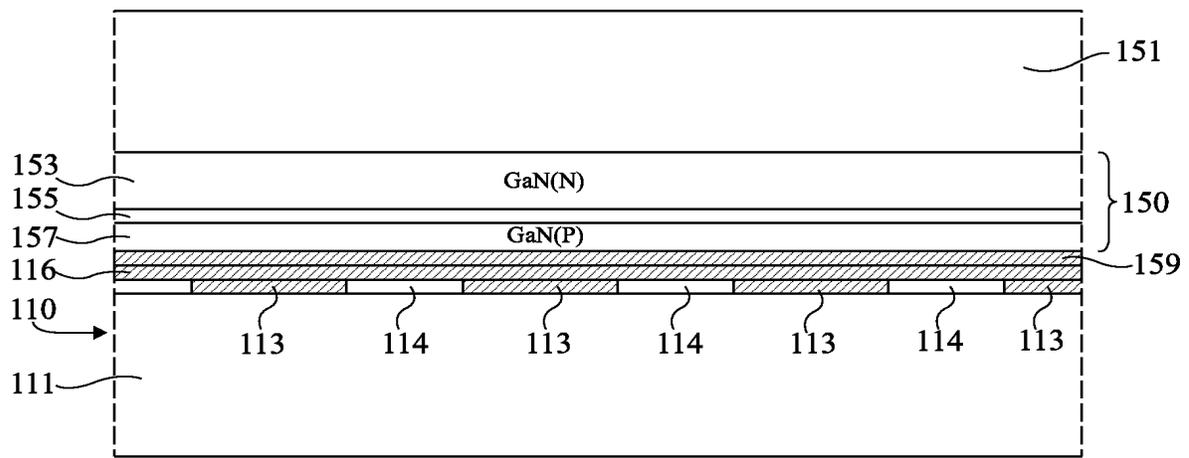


Fig 1C

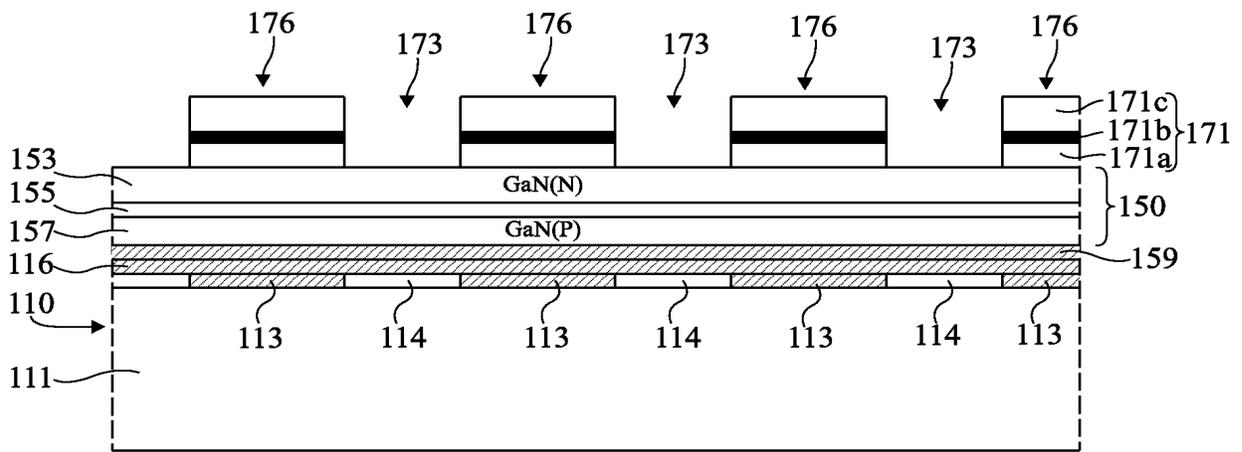


Fig 1D

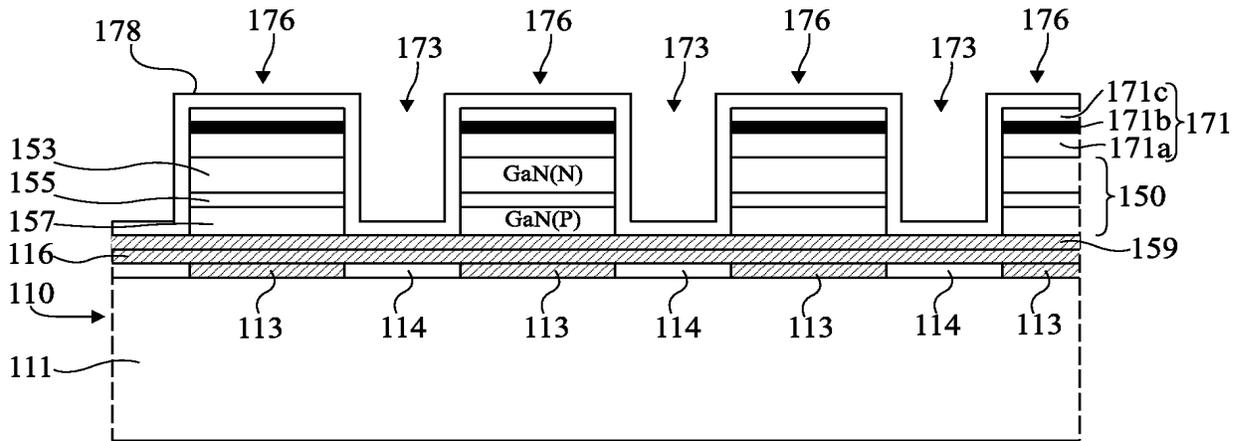


Fig 1E

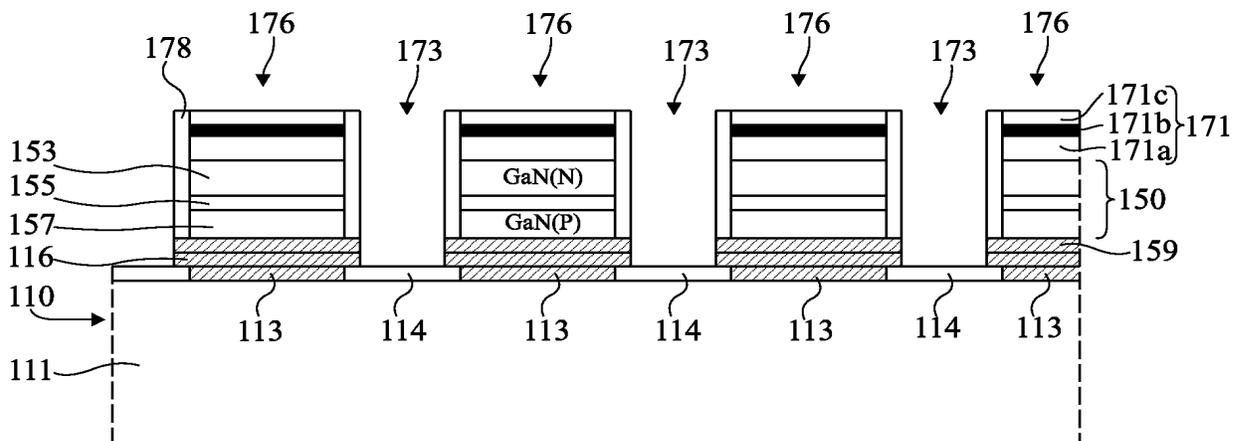


Fig 1F

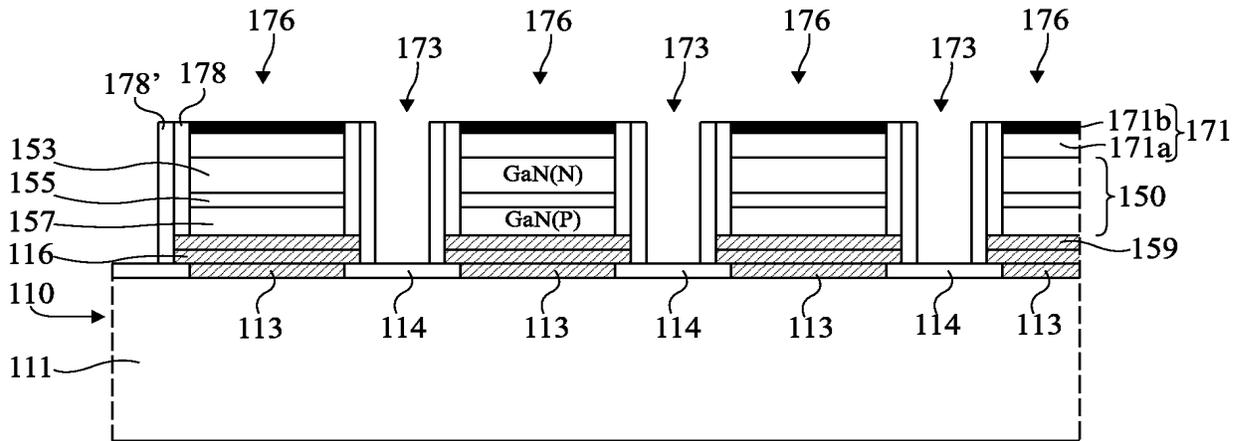


Fig 1G

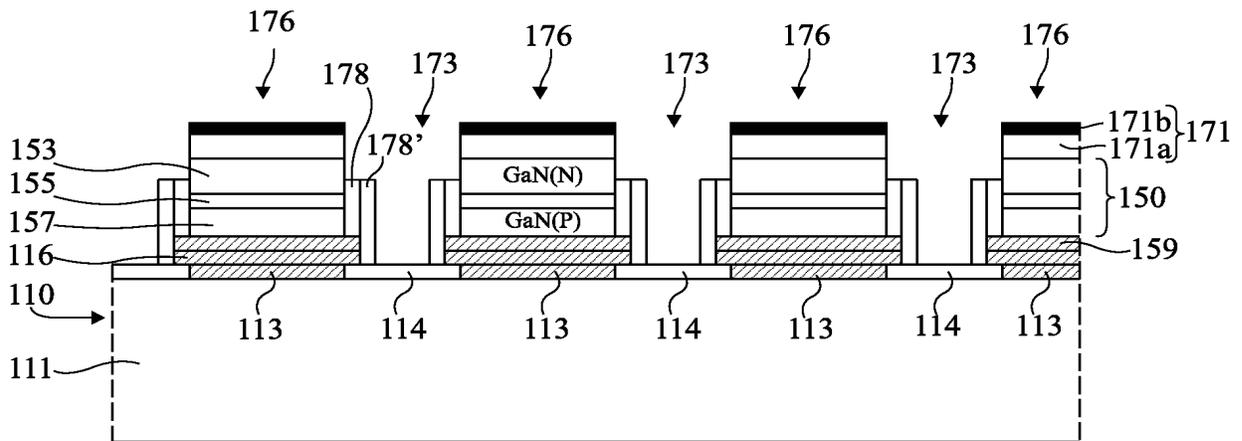


Fig 1H

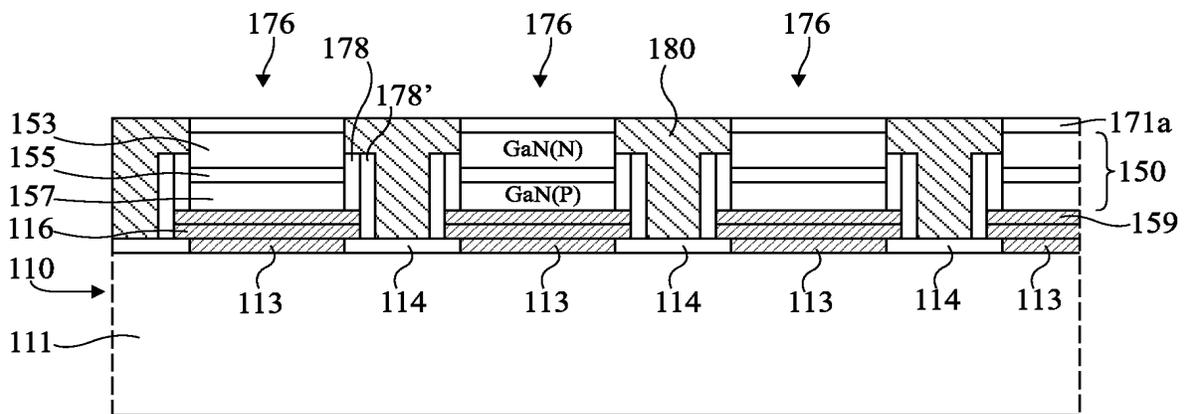


Fig 1I

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2018/052742

A. CLASSIFICATION OF SUBJECT MATTER
 INV. H01L27/15 H01L33/00
 ADD. H01L33/38 H01L25/075

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015/333047 A1 (PFEUFFER ALEXANDER F [DE]) 19 November 2015 (2015-11-19) abstract paragraph [0047] - paragraph [0070]; figures 1A-1K paragraph [0077] - paragraph [0079]; figure 2B -----	1-12
X	EP 3 024 030 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]; ALCATEL LUCENT [FR]) 25 May 2016 (2016-05-25) abstract	12
A	paragraphs [0028] - [0039]; figure 1 -----	1,7,8
Y	US 2015/108514 A1 (SHI JUNPENG [CN] ET AL) 23 April 2015 (2015-04-23) paragraph [0015] paragraphs [0044] - [0054]; figures 1-5 -----	1-12
	-/--	

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 January 2019	Date of mailing of the international search report 01/02/2019
--	--

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Dehestru, Bastien
--	---

INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2018/052742

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2017/068029 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 27 April 2017 (2017-04-27) abstract	12
Y	----- WO 2017/037530 A1 (HONG KONG BEIDA JADE BIRD DISPLAY LTD [CN]) 9 March 2017 (2017-03-09) abstract paragraphs [0026] - [0043]; figures 1-2E paragraphs [0068] - [0071]; figures 7a, 8a -----	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2018/052742

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 2015333047	A1	19-11-2015	DE 102012112530 A1	18-06-2014
			DE 112013006060 A5	27-08-2015
			KR 20150097556 A	26-08-2015
			US 2015333047 A1	19-11-2015
			WO 2014095556 A1	26-06-2014

EP 3024030	A1	25-05-2016	EP 3024030 A1	25-05-2016
			FR 3028672 A1	20-05-2016
			US 2016141469 A1	19-05-2016

US 2015108514	A1	23-04-2015	CN 102931309 A	13-02-2013
			US 2015108514 A1	23-04-2015
			WO 2014075608 A1	22-05-2014

WO 2017068029	A1	27-04-2017	CN 108140701 A	08-06-2018
			EP 3365924 A1	29-08-2018
			FR 3042913 A1	28-04-2017
			US 2018315738 A1	01-11-2018
			WO 2017068029 A1	27-04-2017

WO 2017037530	A1	09-03-2017	EP 3345215 A1	11-07-2018
			TW 201724442 A	01-07-2017
			US 2017069609 A1	09-03-2017
			WO 2017037530 A1	09-03-2017

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2018/052742

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L27/15 H01L33/00 ADD. H01L33/38 H01L25/075				
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB				
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H01L				
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche				
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data				
C. DOCUMENTS CONSIDERES COMME PERTINENTS				
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées		
Y	US 2015/333047 A1 (PFEUFFER ALEXANDER F [DE]) 19 novembre 2015 (2015-11-19) abrégé alinéa [0047] - alinéa [0070]; figures 1A-1K alinéa [0077] - alinéa [0079]; figure 2B -----	1-12		
X	EP 3 024 030 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]; ALCATEL LUCENT [FR]) 25 mai 2016 (2016-05-25) abrégé alinéas [0028] - [0039]; figure 1 -----	12		
A	US 2015/108514 A1 (SHI JUNPENG [CN] ET AL) 23 avril 2015 (2015-04-23) alinéa [0015] alinéas [0044] - [0054]; figures 1-5 -----	1,7,8		
Y	US 2015/108514 A1 (SHI JUNPENG [CN] ET AL) 23 avril 2015 (2015-04-23) alinéa [0015] alinéas [0044] - [0054]; figures 1-5 ----- -/--	1-12		
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%;"><input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents</td> <td style="width: 50%;"><input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe</td> </tr> </table>			<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents	<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents	<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe			
* Catégories spéciales de documents cités:				
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 22 janvier 2019		Date d'expédition du présent rapport de recherche internationale 01/02/2019		
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Dehestru, Bastien		

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 2017/068029 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 27 avril 2017 (2017-04-27) abrégé -----	12
Y	WO 2017/037530 A1 (HONG KONG BEIDA JADE BIRD DISPLAY LTD [CN]) 9 mars 2017 (2017-03-09) abrégé alinéas [0026] - [0043]; figures 1-2E alinéas [0068] - [0071]; figures 7a, 8a -----	1-12

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2018/052742

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2015333047	A1	19-11-2015	DE 102012112530 A1	18-06-2014
			DE 112013006060 A5	27-08-2015
			KR 20150097556 A	26-08-2015
			US 2015333047 A1	19-11-2015
			WO 2014095556 A1	26-06-2014

EP 3024030	A1	25-05-2016	EP 3024030 A1	25-05-2016
			FR 3028672 A1	20-05-2016
			US 2016141469 A1	19-05-2016

US 2015108514	A1	23-04-2015	CN 102931309 A	13-02-2013
			US 2015108514 A1	23-04-2015
			WO 2014075608 A1	22-05-2014

WO 2017068029	A1	27-04-2017	CN 108140701 A	08-06-2018
			EP 3365924 A1	29-08-2018
			FR 3042913 A1	28-04-2017
			US 2018315738 A1	01-11-2018
			WO 2017068029 A1	27-04-2017

WO 2017037530	A1	09-03-2017	EP 3345215 A1	11-07-2018
			TW 201724442 A	01-07-2017
			US 2017069609 A1	09-03-2017
			WO 2017037530 A1	09-03-2017
