

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2019/224448 A1

(43) Date de la publication internationale
28 novembre 2019 (28.11.2019)

WIPO | PCT

(51) Classification internationale des brevets :

H01L 29/778 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/10 (2006.01)
H01L 21/337 (2006.01) H01L 29/20 (2006.01)

(71) Déposant : EXAGAN [FR/FR] ; 7 Parvis Louis Néel, BP 50, 38040 Grenoble Cedex 9 (FR).

(72) Inventeurs : NONGAILLARD, Matthieu ; 9, Chemin du Bois d'Artas, 38000 Grenoble (FR). OHEIX, Thomas ; 39, Chemin du chapitre, 38000 Grenoble (FR).

(21) Numéro de la demande internationale :

PCT/FR2019/051041

(74) Mandataire : BREESE, Pierre ; 2 rue de Clichy, 75009 Paris (FR).

(22) Date de dépôt international :

07 mai 2019 (07.05.2019)

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

1854221 22 mai 2018 (22.05.2018) FR

(54) Title: ENHANCEMENT-MODE HIGH-ELECTRON-MOBILITY TRANSISTOR

(54) Titre : TRANSISTOR A HAUTE MOBILITE ELECTRONIQUE EN MODE ENRICHISSEMENT

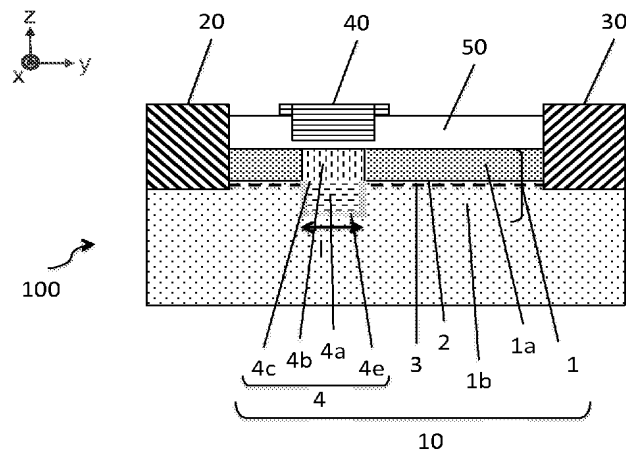


FIG.1a

(57) Abstract: The invention relates to an enhancement-mode high-electron-mobility transistor comprising: • a structure (10) including a stack (1) made of III-V semiconductor materials defining an interface (2) and capable of forming a conduction layer (3) in the form of a two-dimensional electron-gas layer; • a source electrode (20) and a drain electrode (30) forming an electrical contact with the conduction layer (3); and • a gate electrode (40) arranged on top of the structure (10), between the source electrode (20) and the drain electrode (30). The structure (10) comprises a bar (4) that is arranged below the gate electrode (40) and passes through the interface (2) of the stack (1). Said bar (4) comprises two semiconductor portions exhibiting opposite types of doping, defining a p-n junction in proximity to the interface (2).

(57) Abrégé : L'invention concerne un transistor (100) à haute mobilité électronique en mode enrichissement comprenant : • Une structure (10) comportant un empilement (1) en matériaux semi-conducteurs de type III-V définissant une interface (2) et apte à former une couche de conduction (3) sous forme d'une couche de gaz d'électrons à deux dimensions, • Une électrode de source (20) et une électrode de drain (30) formant un contact électrique avec la couche de conduction (3), • Une électrode de grille (40) disposée sur la structure (10), entre l'électrode de source (20) et l'électrode de drain (30). La structure (10) comprend un barreau (4) disposé sous

[Suite sur la page suivante]



WO 2019/224448 A1

PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) **États désignés** (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

TRANSISTOR A HAUTE MOBILITE ELECTRONIQUE EN MODE ENRICHISSEMENT

DOMAINE DE L'INVENTION

5 La présente invention concerne le domaine des transistors à hétérojonction à base de matériaux III-V. Elle concerne en particulier un transistor à haute mobilité électronique de type normalement bloqué.

10

ARRIERE PLAN TECHNOLOGIQUE DE L'INVENTION

15 Les transistors HEMT (transistors à haute mobilité électronique) élaborés sur des matériaux semi-conducteurs III-N sont classiquement de type normalement passant (« normally on »), c'est-à-dire qu'ils peuvent conduire le courant avec une tension de grille à 0V. Ces composants sont également appelés composants en mode déplétion (« depletion mode » ou « D-mode » selon la terminologie anglo-saxonne). Afin d'éviter qu'une défaillance de la grille ne bascule le composant en mode passant, il est préférable pour les applications d'électronique de puissance d'avoir des dispositifs de type normalement bloqué (« normally off »), c'est-à-dire qui ne peuvent pas conduire le courant lorsque 20 la tension de grille est à 0V ; ces composants sont communément appelés composants en mode enrichissement (« E-mode »).

30 Une première approche connue pour la fabrication de composants E-mode est la mise en œuvre d'une électrode de grille en renforcement (« recessed-gate ») dans les couches III-N. Typiquement, dans le cas d'un HEMT basé sur un empilement AlGaN/GaN, la tranchée de renforcement dans laquelle sera déposé le métal de grille traverse l'interface AlGaN/GaN, et en particulier, la couche de gaz d'électrons à deux dimensions (2DEG pour « 2-dimensions electron gas ») formée juste en-dessous de 35 ladite interface. On obtient ainsi un composant en mode enrichissement, la conduction électrique entre la source et le drain étant coupée lorsque la tension de grille est à 0V. L'application d'une tension sur la grille permet d'attirer des électrons dans la couche GaN inférieure, à proximité de la 40

frontière avec la grille, et de rétablir la continuité de conduction électrique de la couche 2DEG.

Un exemple de structure avec grille en renforcement est décrit par W.Saito et al (« Recessed-gate structure approach toward normally off high-Voltage AlGaN/GaN HEMT for power electronics applications », IEEE Transactions on Electron Devices, Volume 53, 2/2/2006), ou encore par D. Marcon et al dans le document « Direct comparison of GaN-based e-mode architectures (recessed MISHEMT and p-GaN HEMTs) processed on 200mm GaN-on-Si with Au-free technology », Gallium Nitride Materials and Devices X, Proc. of SPIE Vol. 9363, 2015.

Cette première approche permet d'obtenir de faibles courants de fuite de grille et met en œuvre des procédés classiques d'intégration. Par contre, elle présente l'inconvénient d'augmenter la résistance du composant car la conduction dans la couche GaN est bien moins efficace que dans la couche 2DEG.

Une deuxième approche connue pour la fabrication de composants E-mode est la mise en œuvre d'une électrode de grille avec une région présentant un dopage de type P. Une tranchée est gravée dans la couche AlGaN pour ne laisser qu'une faible épaisseur de ladite couche au-dessus de l'interface AlGaN/GaN. Une couche de matériau semi-conducteur de dopage P (par exemple du GaN dopé p) est déposée dans la tranchée.

Le matériau de type P à proximité de la couche 2DEG va créer une zone de charges d'espace, déplaçant la couche 2DEG sous la grille et coupant ainsi la conduction entre la source et le drain : le composant est en mode enrichissement. L'application d'une tension positive à la grille permet de repeupler la couche 2DEG en porteurs libres et ainsi de rétablir la continuité de conduction électrique de la couche 2DEG.

Un exemple particulier de structure présentant une grille avec région p-GaN est décrite dans le document « Current-collapse-free Operation up to 850 V by GaN-GIT utilizing Hole Injection from Drain », S. Kaneko et al, Proceedings of the 27th ISPSD 2015.

La résistance du composant, avec cette deuxième approche, peut être maintenue à des valeurs acceptables. Par contre, les procédés d'intégration sont complexes et la fuite de grille est plus importante.

OBJET DE L'INVENTION

5 L'invention vise à remédier à tout ou partie des inconvénients précités en proposant une solution alternative aux approches de l'état de la technique. Un objet de l'invention est un transistor à haute mobilité électronique en mode enrichissement.

10

BREVE DESCRIPTION DE L'INVENTION

L'invention concerne un transistor à haute mobilité électronique en mode enrichissement comprenant :

- 15
- Une structure comportant un empilement en matériaux semi-conducteurs de type III-V définissant une interface et apte à former une couche de conduction sous forme d'une couche de gaz d'électrons à deux dimensions, sensiblement sous ladite interface,

20

 - Une électrode de source et une électrode de drain, chacune en contact électrique avec la couche de conduction,
 - Une électrode de grille disposée sur la structure, entre l'électrode de source et l'électrode de drain.

25

La structure comprend un barreau disposé sous l'électrode de grille et traversant l'interface de l'empilement. Le barreau comprend deux portions semi-conductrices formées de matériaux de même nature et de type de dopage opposé, respectivement dopés P et

30 N, définissant une jonction PN disposée dans le plan de l'interface ou dans un plan parallèle, sensiblement au-dessus ou en-dessous du plan de l'interface.

35 Selon des caractéristiques avantageuses du transistor à haute mobilité électronique en mode enrichissement selon l'invention, prises seules ou en combinaison :

- le plan parallèle, sensiblement au-dessus ou en-dessous du plan de l'interface, dans lequel est disposée la jonction PN, se situe à +/- 5nm du plan de l'interface ;
- le barreau comprend une première portion semi-conductrice essentiellement située en-dessous de l'interface, et une deuxième portion semi-conductrice, essentiellement située au-dessus de l'interface, celle des deux portions semi-conductrices en matériau dopé N étant située de part et d'autre de l'interface ;
- au moins une portion semi-conductrice comporte deux couches de matériaux de même type de dopage mais de niveaux de dopage différents, la couche la moins dopée de la au moins une portion semi-conductrice formant la jonction PN avec l'autre portion semi-conductrice ;
- tout ou partie du barreau est isolé électriquement d'une couche canal de l'empilement par une couche diélectrique, ladite couche diélectrique étant suffisamment fine pour ne pas bloquer le courant au niveau de la couche de conduction quand le transistor est dans un état passant, au moins dans les cas où la couche diélectrique est présente entre la couche de conduction et le barreau ;
- les matériaux dopés P ou N du barreau présentent des niveaux de dopage compris entre $1E15/cm^3$ et $1E21/cm^3$;
- le matériau de type P du barreau est du nitrure de gallium dopé magnésium ou carbone ;
- le matériau de type N du barreau est du nitrure de gallium dopé silicium ou germanium ;
- le barreau présente une largeur comprise entre 0,25 et 5 microns et une longueur, la largeur et la longueur étant parallèles au plan de l'interface, la largeur s'étendant selon un axe transversal reliant l'électrode de source à l'électrode de drain et la longueur s'étendant selon un axe longitudinal orthogonal à l'axe transversal ;
- l'empilement est formé en matériaux semi-conducteurs de type III-N, en particulier en AlGaN et GaN ;
- l'électrode de grille est isolée de l'empilement en matériaux semi-conducteurs par une couche isolante pour former une grille de configuration MIS (métal isolant semi-conducteur).

BREVE DESCRIPTION DES DESSINS

D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée de l'invention qui va suivre en référence aux figures annexées sur lesquelles :

- les figures 1a, 1b et 1c présentent des vues en coupe et en perspective d'un transistor conforme à l'invention,
- les figures 2a et 2b présentent un transistor selon un premier mode de réalisation de l'invention,
- les figures 3a et 3b présentent un transistor selon un deuxième mode de réalisation de l'invention,
- les figures 4a et 4b présentent un transistor selon un troisième mode de réalisation de l'invention,
- les figures 5a à 5e présentent des étapes de fabrication d'un transistor conforme à l'invention.

DESCRIPTION DETAILLEE DE L'INVENTION

Les figures sont des représentations schématiques de dispositifs en coupe ou en perspective, dans lesquelles les proportions et dimensions latérales ou verticales peuvent ne pas être respectées. Les mêmes références sur les figures pourront être utilisées pour des éléments de même nature.

L'invention concerne un transistor 100 à haute mobilité électronique (HEMT) en mode enrichissement.

Comme illustré sur les figures 1a, 1b et 1c, le transistor 100 est formé à partir d'une structure 10 comportant un empilement 1 en matériaux semi-conducteurs du groupe III-V et en particulier, en matériaux semi-conducteurs du groupe III-N. L'empilement 1 comprend au moins une couche barrière 1a disposée sur une couche canal 1b et définit, entre ces deux couches, une interface 2. Lesdites couches 1a, 1b et l'interface 2 s'étendent dans des plans parallèles à un plan principal (x,y).

Les matériaux semi-conducteurs du groupe III-V pourront notamment être choisis parmi le nitrure de gallium (GaN), le

nitruire d'aluminium (AlN) et leurs alliages ternaires $\text{Al}_x\text{Ga}_{1-x}\text{N}$, ou parmi l'arséniure de gallium (GaAs) et ses composés (AlGaAs, InGaAs). A titre d'exemple, une couche barrière la pourra être élaborée à base d'AlGaN et la couche canal 1b à base de GaN.

5

Un tel empilement 1 est apte à former une couche de gaz d'électrons à deux dimensions (2DEG pour « 2-dimensional electron gaz ») située juste en-dessous de l'interface 2 entre la couche barrière 1a et la couche canal 1b. La couche 2DEG constitue la couche de conduction 3 du transistor 100.

10

Le transistor 100 comporte une électrode de source 20 et une électrode de drain 30 en contact électrique avec la couche de conduction 3. Rappelons que différents types de contacts électriques sont connus pour connecter électriquement les électrodes de sources 20 et de drain 30 à la couche de conduction 3 : en particulier, des contacts ohmiques, tunnel ou Schottky.

15

La couche de conduction 3 assure la conduction du courant entre ces deux électrodes 20,30 lorsque le transistor 100 est dans un état passant.

20

Le transistor 100 comprend également une électrode de grille 40, disposée sur la structure 10 entre les électrodes de source 20 et de drain 30. L'électrode de grille 40 est disposée selon un axe longitudinal x sur toute l'étendue (dimension selon l'axe x) de la couche de conduction 3, de manière à contrôler la conduction du courant entre l'électrode de source 20 et l'électrode de drain 30 (figure 1b).

25

Dans l'exemple des figures 1a à 1c, l'électrode de grille 40 est isolée de l'empilement 1 par une couche isolante 50 ou un empilement de couches isolantes, pour former une configuration de grille MIS (Métal Isolant Semi-conducteur). Bien-sur d'autres configurations d'électrodes de grille existent et pourront éventuellement être mises en œuvre pour la fabrication du transistor 100.

30

35

La structure 10 du transistor 100 selon l'invention comprend en outre un barreau 4 disposé sous l'électrode de grille 40 (figures 1a & 1b). Le barreau 4 présente une largeur l et une

40

longueur L dans un plan parallèle au plan principal (x,y) de l'interface 2 (et donc de la couche de conduction 3) : la longueur L est la dimension du barreau 4 s'étendant selon l'axe longitudinal x et la largeur l est la dimension s'étendant selon l'axe transversal y, orthogonal à l'axe longitudinal x.

La longueur L du barreau 4 (selon l'axe longitudinal x) coïncide avec l'étendue de l'électrode de grille 40 le long de l'axe longitudinal x, laquelle correspond à l'étendue de la couche de conduction 3. La largeur du barreau 4 (selon l'axe transversal y) pourra être du même ordre de grandeur que la dimension de l'électrode de grille 40 selon l'axe transversal y, axe reliant la source 20 et le drain 30.

A titre d'exemple, la largeur l d'un barreau 4 pourra être comprise entre 0,25 μm et 5 μm ; sa longueur L va dépendre de la taille du transistor (contraintes en courant ou en résistance à l'état passant).

En outre, le barreau 4 traverse au moins en partie l'empilement 1, orthogonalement au plan principal (x,y). Il traverse en particulier l'interface 2 de l'empilement 1, interrompant ainsi la couche de conduction 3 sur toute son étendue selon l'axe longitudinal x.

Le barreau 4 comprend deux portions semi-conductrices 4a,4b formées par des matériaux de même nature et de type de dopage opposé, définissant une jonction PN 4c à proximité de l'interface 2 et disposée dans le plan de l'interface 2 ou dans un plan parallèle sensiblement au-dessus ou en-dessous du plan de l'interface 2 (figure 1a). En d'autres termes, le barreau 4 comprend une première portion 4a en matériau semi-conducteur, essentiellement située en-dessous de l'interface 2 et une deuxième portion 4b en matériau semi-conducteur, essentiellement située au-dessus de l'interface 2 : l'une des portions semi-conductrices présente un dopage de type P et l'autre présente un dopage de type N de manière à créer une jonction PN 4c s'étendant dans un plan sensiblement parallèle et proche du plan de l'interface 2. La jonction PN 4c dans le cadre de la présente invention est une homo-jonction, c'est-à-dire qu'elle est formée à partir de deux portions dont les matériaux constitutifs sont de même nature. On pourra par exemple envisager deux portions en silicium, l'une de type P et

l'autre de type N, ou deux portions en GaN, également de dopage opposé. Une telle homo-jonction PN 4c présente l'avantage d'être simple de fabrication.

5 Le plan parallèle, sensiblement au-dessus ou en-dessous du plan de l'interface 2, dans lequel est disposée la jonction PN 4c, se situe à +/- 8nm du plan de l'interface 2, voire avantageusement à +/- 5nm du plan de l'interface 2.

10 Par matériau de type P, on entend un matériau comprenant un excès de porteurs de charges positives (trous). Par matériau de type N, on entend un matériau comprenant un excès de porteurs de charges négatives (électrons).

15 Une zone de charge d'espace 4d va s'étendre, depuis la jonction PN 4c, dans chacune des portions semi-conductrices 4a,4b sur une certaine épaisseur e dans le barreau 4 (figure 1c). En effet, l'excès de porteurs de charges négatives de la portion semi-conductrice de type N va être compensé par l'excès de porteurs de charges positives de la portion semi-conductrice de type P, dans
20 une certaine épaisseur de part et d'autre de la jonction PN ; cette compensation va se faire dans l'extension e de la zone de charge d'espace 4d. La zone de charge d'espace 4d permet de couper la couche de conduction 3, lorsque le potentiel de l'électrode de grille 40 est à 0V, mettant ainsi le transistor 100 à l'état
25 bloqué. De fait, le transistor 100 se trouve être de type normalement bloqué ou en mode enrichissement car la conduction entre l'électrode de source 20 et l'électrode de drain 30 est coupée lorsque le potentiel de la grille est à 0V.

30 La polarisation de l'électrode de grille 40 va modifier l'extension e de la zone de charge d'espace 4d ; à une tension donnée de polarisation de la grille 40, la zone de charge d'espace 4d va disparaître et la présence de porteurs de charges dans le barreau 4, dans le plan de la couche de conduction 3, va permettre
35 de rétablir la conduction à travers le barreau 4 selon l'axe transversal y, et ainsi, entre l'électrode de source 20 et l'électrode de drain 30. La conduction sous l'électrode de grille 40 s'établit dans une portion semi-conductrice du barreau 4 et non via une couche 2DEG. Le transistor 100 bascule alors dans l'état
40 passant. La résistivité de la zone sous l'électrode de grille 40,

en mode passant, est principalement liée aux niveaux de dopage des portions semi-conductrices 4a, 4b du barreau 4.

L'extension e de la zone de charge d'espace 4d va dépendre des niveaux de dopage des deux portions semi-conductrices 4a, 4b du barreau 4. Notons que plus l'extension e de la zone de charge d'espace 4d sera grande, plus la tension de polarisation de la grille 40 nécessaire pour annuler ladite zone de charge d'espace 4d sera importante.

Une électrode de grille 40 de configuration MIS est particulièrement avantageuse en ce qu'elle rend le transistor 100 plus résistant aux courants parasites susceptibles d'être accrus par le champ électrique se développant au niveau de la jonction PN 4c du barreau 4.

Pour limiter les fuites éventuelles de courant, le barreau 4 comprend préférentiellement une couche diélectrique 4e qui l'isole, en tout ou partie, de la couche canal 1b de l'empilement 1. Cette couche diélectrique 4e devra être suffisamment fine pour ne pas bloquer le courant au niveau de la couche de conduction 3, quand le transistor 100 est dans l'état passant, mais seulement empêcher une conduction parasite drain/source à travers le barreau 4, dans les modes de réalisation pour lesquels ladite couche diélectrique 4e est présente entre la couche 2DEG et le barreau 4.

Selon un premier mode de réalisation, illustré sur les figures 2a et 2b, la première portion semi-conductrice 4a du barreau 4 est essentiellement située en-dessous de l'interface 2 et est formée en au moins un matériau dopé N. La première portion 4a doit au moins être en face de la couche de conduction 3 afin que la conduction puisse s'y établir à l'état passant. Elle pourra comprendre une partie s'étendant sensiblement au-dessus de l'interface 2, positionnant la jonction PN 4c sensiblement au-dessus de l'interface 2, comme illustré sur la figure 2a. Comme évoqué précédemment, pour limiter les fuites de courant, le barreau 4 comprend une couche diélectrique 4e qui isole la première portion 4a de la couche canal 1b de l'empilement 1. La couche diélectrique

4e est suffisamment fine pour ne pas bloquer le courant au niveau de la couche de conduction 3. Par suffisamment fine, on entend une épaisseur inférieure à 10 nm, voire inférieure à 5 nm selon le diélectrique utilisé (AlN, Al₂O₃, SiN, SiO₂ ...).

5
A titre d'exemple, le matériau de la première portion semi-conductrice 4a sera du GaN dopé en un élément donneur (type N) tel que le silicium ou le germanium. Selon d'autres exemples, le matériau de type N de la première portion semi-conductrice 4a
10 pourra être du silicium dopé avec du phosphore, du germanium dopé avec du phosphore, ou tout autre matériau comprenant un excès de porteurs de charges négatives.

15 La deuxième portion semi-conductrice 4b du barreau 4, disposée sur la première portion 4a, est située au-dessus de l'interface 2. Elle est formée en au moins un matériau dopé P.

A titre d'exemple, ledit matériau sera du GaN dopé en un élément accepteur (type P) tel que le magnésium ou le carbone.
20 Selon d'autres exemples, le matériau de type P de la deuxième portion semi-conductrice 4b pourra être du silicium dopé avec du bore, du germanium dopé avec du bore, ou tout autre matériau comprenant un excès de porteurs de charges positives. Rappelons que les matériaux formant la première 4a et la deuxième 4b portions
25 semi-conductrices sont de même nature.

Avantageusement, le matériau de type P est fortement dopé (soit dopé P+). On parlera d'un matériau dopé P+ dans le cas d'une concentration en dopants dans le matériau semi-conducteur
30 supérieure à $10^{18}/\text{cm}^3$. Le niveau de dopage P+ est préférentiellement compris entre 10^{19} à $10^{21}/\text{cm}^3$.

Avantageusement, le matériau de type N est faiblement dopé (soit dopé N-). On parlera d'un matériau dopé N- dans le cas d'une concentration en dopants dans le matériau semi-conducteur
35 inférieure ou égale à $10^{16}/\text{cm}^3$. La différence de niveaux de dopage des matériaux P et N assure que l'extension la plus importante de charge d'espace se fera dans le matériau de type N et interrompra ainsi efficacement la couche de conduction 3.

Dans tous les cas, le positionnement de la jonction PN 4c vis-à-vis du plan de l'interface 2 de l'empilement 1 ainsi que le niveau de dopage des première 4a et deuxième 4b portions semi-conductrices seront choisis de sorte que la zone de charge d'espace 4d présente une extension e suffisante pour couper le chemin de conduction, dans le plan de la couche de conduction 3 (sensiblement sous l'interface 2) de l'empilement 1 (figure 2b).

La tension de seuil du transistor 100 est la tension à appliquer à l'électrode de grille 40 pour basculer le transistor 100 à l'état passant. Dans ce premier mode de réalisation, une tension positive appliquée à l'électrode de grille 40 va, par effet électrostatique, venir repeupler la zone de charge d'espace qui s'étend dans la première portion semi-conductrice 4a de type N. La conduction de courant selon l'axe transversal y est alors rétablie, le transistor 100 est dans l'état passant.

Selon un deuxième mode de réalisation, illustré sur les figures 3a et 3b, la première portion semi-conductrice 4a du barreau 4 est située en-dessous de l'interface 2, et est formée en au moins un matériau dopé P.

A titre d'exemple, ledit matériau sera du GaN dopé en un élément accepteur (type P) tel que le magnésium ou le carbone. Selon d'autres exemples, le matériau de type P du barreau 4 pourra être du silicium dopé avec du bore, du germanium dopé avec du bore, ou tout autre matériau comprenant un excès de porteurs de charges positives.

La deuxième portion semi-conductrice 4b du barreau 4 est formée en au moins un matériau dopé N. La deuxième portion semi-conductrice 4b est essentiellement située au-dessus de l'interface 2. La deuxième portion 4b doit également être en face de la couche de conduction 3 afin que la conduction puisse s'y établir à l'état passant. Pour cela, elle comprend une partie s'étendant sensiblement en-dessous de l'interface 2, positionnant ainsi la jonction PN 4c sensiblement en-dessous de l'interface 2, comme illustré sur la figure 3a.

A titre d'exemple, le matériau de la deuxième portion semi-conductrice 4b sera du GaN dopé en un élément donneur (type N) tel que le silicium ou le germanium. Selon d'autres exemples, le matériau de type N du barreau pourra être du silicium dopé avec du phosphore, du germanium dopé avec du phosphore, ou tout autre matériau comprenant un excès de porteurs de charges négatives. Rappelons que la première 4a et la deuxième 4b portions semi-conductrices sont formées de matériau de même nature, de dopage opposé.

Comme évoqué précédemment, pour limiter les fuites de courant, le barreau 4 comprend également une couche diélectrique 4e qui isole la première portion 4a de la couche canal 1b de l'empilement 1.

Avantageusement, le matériau de type P est fortement dopé (soit dopé P+). On parlera d'un matériau dopé P+ dans le cas d'une concentration en dopants dans le matériau semi-conducteur supérieure à $1^{E18}/\text{cm}^3$. Le niveau de dopage P+ est préférentiellement compris entre $1E19$ à $1E21/\text{cm}^3$. Le matériau de type N est faiblement dopé (soit dopé N-). On parlera d'un matériau dopé N- dans le cas d'une concentration en dopants dans le matériau semi-conducteur inférieure ou égale à $1^{E16}/\text{cm}^3$. La différence de niveaux de dopage des matériaux P et N assure que l'extension la plus importante de charge d'espace se fera dans le matériau de type N et interrompra ainsi efficacement la couche de conduction 3.

Dans tous les cas, le positionnement de la jonction PN 4c vis-à-vis du plan de l'interface 2 de l'empilement 1 ainsi que la niveau de dopage des première 4a et deuxième 4b portions semi-conductrices seront choisis de sorte que la zone de charge d'espace 4d présente une extension e suffisante pour couper le chemin de conduction, dans le plan de la couche de conduction 3 (sensiblement sous l'interface 2) de l'empilement 1 (figure 3b).

Dans ce deuxième mode de réalisation, une tension négative appliquée à l'électrode de grille 40 va permettre de repeupler la zone de charge d'espace et ainsi permettre la conduction de courant

selon l'axe transversal y, le transistor 100 est dans l'état passant.

5

Dans les premier et deuxième modes de réalisation, on décrit un mode de conduction dans les portions semi-conductrices de type N. Selon des variantes de ces modes de réalisation, il est possible de réaliser des transistors 100 dans lesquels la conduction s'établit dans les portions semi-conductrices de type P :

- en adaptant les niveaux de dopages (P+ devient P- et N- devient N+),
- en modifiant la position de la jonction PN 4c par rapport à l'interface 2, le matériau de type P étant requis en face de la couche de conduction 3 afin que la conduction puisse s'établir dans ledit matériau de type P à l'état passant.

20

Selon un troisième mode de réalisation, illustré sur les figures 4a et 4b, la première portion semi-conductrice 4a du barreau 4 est essentiellement située en-dessous de l'interface 2, et elle est formée en au moins un matériau dopé N. Les exemples de matériaux dopés N énoncés dans les premier et deuxième modes de réalisation s'appliquent ici également.

La première portion semi-conductrice 4a comporte deux couches 4a', 4a'' de matériaux de même type de dopage (N dans le cas présent) mais de niveaux de dopage différents. Typiquement, la couche inférieure 4a' (appelée par la suite première couche inférieure 4a' car relative à la première portion 4a) est fortement dopée (N+), et la couche supérieure 4a'' (appelée par la suite première couche supérieure 4a'' car relative à la première portion 4a) est faiblement dopée (N-). Comme évoqué précédemment, pour limiter les fuites éventuelles de courant, la première portion semi-conductrice 4a est en outre isolée de la couche canal 1b de l'empilement 1 par une couche diélectrique 4e. La couche diélectrique 4e est suffisamment fine pour ne pas bloquer le courant au niveau de la couche de conduction 3.

La deuxième portion semi-conductrice 4b du barreau 4 est située au-dessus de l'interface 2 et elle est formée en au moins un matériau dopé P. Les exemples de matériaux dopés P énoncés dans les premier et deuxième modes de réalisation s'appliquent ici également.

La deuxième portion semi-conductrice 4b comporte également deux couches 4b', 4b'' de matériau de même type de dopage (P dans le cas présent) mais de niveaux de dopage différents. Typiquement, la couche inférieure 4b' (appelée par la suite deuxième couche inférieure 4b') est faiblement dopée (P-), et la couche supérieure 4b'' (appelée par la suite deuxième couche supérieure 4b'') est fortement dopée (P+).

Comme précédemment, les première 4a et deuxième 4b portions semi-conductrices sont formés de matériaux de même nature.

Le positionnement de la jonction PN 4c vis-à-vis du plan de l'interface 2 de l'empilement 1 ainsi que le niveau de dopage de la première couche supérieure 4a'' et de la deuxième couche inférieure 4b' sont choisis de sorte que la zone de charge d'espace 4d présente une extension suffisante pour couper le chemin de conduction, dans le plan de la couche de conduction 3 (sensiblement sous l'interface 2) de l'empilement 1 (figure 4b). Dans ce troisième mode de réalisation, l'extension de la zone de charge d'espace se fait dans les matériaux N- et P-.

La première couche inférieure 4a' dopée N+ et la deuxième couche supérieure 4b'' dopée P+ pourront être polarisées indépendamment pour agir sur l'extension e de la zone de charge d'espace 4d. La transconductance du transistor 100 pourra être ajustée en fonction des niveaux de tensions de commande. L'application d'une tension positive sur la deuxième couche supérieure 4b'' (P+) et négative sur première couche inférieure 4a' (N+) permettra de rétablir la conduction de courant selon l'axe transversal y : le transistor 100 est alors dans l'état passant.

Avantageusement, la polarisation de l'électrode de grille 40 est directement appliquée à la deuxième couche supérieure 4b'' (dopée P+), comme illustré sur les figures 4a, 4b ; une tension de

polarisation indépendante est appliquée à la première couche inférieure 4a' (dopée N+).

Alternativement, une électrode de grille 40 de type MIS (métal/isolant/semi-conducteur), isolée du barreau 4, comme
5 illustrée dans les premier et deuxième modes de réalisation, pourra être mise en œuvre dans le troisième mode de réalisation.

Selon une variante de ce troisième mode de réalisation, la
10 première portion semi-conductrice 4a ne comporte pas les deux couches 4a', 4a'' de matériaux de niveaux de dopage différents, mais est similaire à la première portion 4a décrite dans le premier mode de réalisation.

15 Selon une autre variante, la deuxième portion semi-conductrice 4b ne comporte pas les deux couches 4b', 4b'' de matériaux de niveaux de dopage différents, mais comprend uniquement un matériau dopé P-.

20 Selon encore une autre variante du troisième mode de réalisation, les types de dopage pourront être inversés (N+ devient P+ et N- devient P-, et réciproquement), pour un mode de conduction dans une portion semi-conductrice de type P.

25

Exemple de réalisation:

30 L'empilement 1 de couches de la structure 10 est habituellement fabriqué par croissance épitaxiale sur un substrat support tel que par exemple le silicium, le saphir, le carbure de silicium ou autre support compatible. Avantageusement, une couche tampon est intercalée entre le substrat support et la couche canal
35 1b, afin de limiter les désaccords de maille entre eux.

Considérons à titre d'exemple une couche barrière 1a à base d' $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ de l'ordre de 20nm d'épaisseur, et une couche canal 1b, à base de GaN. Une couche isolante 51 de protection, préférentiellement du Si_3N_4 ou SiO_2 , sera déposée à la surface de
40 la couche 1a.

Le barreau 4 est élaboré préalablement à la formation des électrodes 20,30,40 par étapes successives de gravure et de dépôt. Une gravure locale de la zone de l'empilement 1 destinée à accueillir le barreau 4 est effectuée par exemple sur une profondeur de 60nm, pour former une tranchée 5 traversant l'interface 2 (figure 5a). Une couche aux propriétés isolantes (par exemple, oxyde de silicium, nitrure d'aluminium ou encore alumine...), appelée couche diélectrique 4e, destinée à isoler la première portion semi-conductrice 4a de la couche canal 1b est déposée dans la tranchée 5, sur ses parois et sur l'empilement 1 (figure 5b). Cette couche diélectrique 4e pourra par exemple présenter une épaisseur de quelques nanomètres, typiquement 5nm.

Une couche 400a de matériau destiné à former la première portion semi-conductrice 4a du barreau 4 (par exemple du GaN dopé P+ selon le deuxième mode de réalisation) est déposée sur la couche diélectrique 4e (figure 5c). Avantagement, une technique de dépôt conforme est mise en œuvre, pour éviter de créer des cavités (« voids ») lors du remplissage de la tranchée 5.

La couche 400a est ensuite gravée, par gravure sèche ou humide pour ne laisser que l'épaisseur souhaitée de couche dans la tranchée 5 et former la première portion semi-conductrice 4a (figure 5d). A titre d'exemple, l'épaisseur visée (selon l'axe z) de la première portion 4a sera de 35 nm, soit environ 5 nm en dessous de l'interface 2. La couche diélectrique 4e est elle aussi gravée et ne subsiste que localement, pour isoler la première portion semi-conductrice 4a de la couche canal 1b de l'empilement 1 (figure 5d).

La deuxième portion semi-conductrice 4b est élaborée de façon similaire, par dépôt puis gravure d'une couche (par exemple du GaN dopé N-, selon le deuxième mode de réalisation) jusqu'à l'épaisseur souhaitée (exemple figure 5e).

Après retrait de la couche de protection 51, la couche de passivation 50, les électrodes de source 20, drain 30 et grille 40 peuvent ensuite être élaborées selon les procédés classiques.

Avec une première portion 4a du barreau 4 dopée P+ à un niveau autour de $1E20/cm^3$, et une deuxième portion 4b dopée N- à

un niveau autour de $1^{E15}/\text{cm}^3$, on attend une épaisseur de déplétion e de la zone de charge d'espace 4d de l'ordre de 70 nm dans le matériau de type N- du barreau 4 ; une telle configuration mène à la déplétion totale de la deuxième portion 4b du barreau 4.

5 La zone de charge d'espace 4d s'étend dans le barreau 4 au niveau du plan de la couche de conduction 3 de l'empilement 1, permettant ainsi de couper toute conduction entre la source 20 et le drain 30 et mettant le transistor à l'état bloqué.

10 L'application d'une tension à l'électrode de grille 40 pourra permettre d'éliminer la zone de charge d'espace 4d et de rétablir la conduction à travers le barreau 4, dans le plan de la couche de conduction 3, basculant le transistor à l'état passant.

15 Bien entendu, l'invention n'est pas limitée aux modes de réalisation décrits et on peut y apporter des variantes de réalisation sans sortir du cadre de l'invention tel que défini par les revendications.

20

REVENDICATIONS

1. Transistor (100) à haute mobilité électronique en mode enrichissement comprenant :

- 5 • Une structure (10) comportant un empilement (1) en matériaux semi-conducteurs de type III-N définissant une interface (2) et apte à former une couche de conduction (3) sous forme d'une couche de gaz d'électrons à deux dimensions, sensiblement sous ladite interface (2),
- 10 • Une électrode de source (20) et une électrode de drain (30), chacune en contact électrique avec la couche de conduction (3),
- 15 • Une électrode de grille (40) disposée sur la structure (10), entre l'électrode de source (20) et l'électrode de drain (30),

Le transistor (100) étant caractérisé en ce que :

- 20 • la structure (10) comprend un barreau (4) disposé sous l'électrode de grille (40) et traversant l'interface (2) de l'empilement (1),
- 25 • le barreau (4) comprend deux portions semi-conductrices (4a,4b) formées de matériaux de même nature et de type de dopage opposé, respectivement dopés P et N, définissant une jonction PN (4c) disposée dans le plan de l'interface (2) ou dans un plan parallèle, sensiblement au-dessus ou en-dessous du plan de l'interface (2).

2. Transistor (100) à haute mobilité électronique en mode enrichissement selon la revendication précédente, dans lequel le plan parallèle, sensiblement au-dessus ou en-dessous du plan de l'interface, dans lequel est disposée la jonction PN, se situe à +/- 5nm du plan de l'interface.

3. Transistor (100) à haute mobilité électronique en mode enrichissement selon l'une des revendications précédentes, dans lequel le barreau (4) comprend une première portion semi-conductrice (4a) essentiellement située en-dessous de l'interface (2), et une deuxième portion semi-conductrice (4b), essentiellement située au-dessus de l'interface (2), celle des deux portions semi-conductrices (4a,4b) en matériau dopé N étant située de part et d'autre de l'interface (2).

4. Transistor (100) à haute mobilité électronique en mode enrichissement selon la revendication précédente, dans lequel au moins une portion semi-conductrice (4a,4b) comporte deux couches de matériaux de même type de dopage mais de niveaux de dopage différents, la couche la moins dopée de la au moins une portion semi-conductrice (4a,4b) formant la jonction PN (4c) avec l'autre portion semi-conductrice (4a,4b).
- 5
- 10 5. Transistor (100) à haute mobilité électronique en mode enrichissement selon l'une des revendications précédentes, dans lequel tout ou partie du barreau (4) est isolé électriquement d'une couche canal (1b) de l'empilement (1) par une couche diélectrique (4e), ladite couche diélectrique (4e) étant
- 15 suffisamment fine pour ne pas bloquer le courant au niveau de la couche de conduction (3) quand le transistor (100) est dans un état passant, au moins dans les cas où la couche diélectrique (4e) est présente entre la couche de conduction (3) et le barreau (4).
- 20
6. Transistor (100) à haute mobilité électronique en mode enrichissement selon l'une des revendications précédentes, dans lequel les matériaux dopés P ou N du barreau (4) présentent des niveaux de dopage compris entre $1^{E15}/\text{cm}^3$ et $1^{E21}/\text{cm}^3$.
- 25
7. Transistor (100) à haute mobilité électronique en mode enrichissement selon la revendication précédente, dans lequel le matériau de type P du barreau (4) est du nitrure de gallium dopé magnésium ou carbone.
- 30
8. Transistor (100) à haute mobilité électronique en mode enrichissement selon la revendication 7, dans lequel le matériau de type N du barreau (4) est du nitrure de gallium dopé silicium ou germanium.
- 35
9. Transistor (100) à haute mobilité électronique en mode enrichissement selon l'une des revendications précédentes, dans lequel le barreau (4) présente une largeur (l) comprise entre 0,25 et 5 microns et une longueur (L), la largeur (l) et la
- 40 longueur (L) étant parallèles au plan de l'interface (2), la

largeur (l) s'étendant selon un axe transversal (y) reliant l'électrode de source (20) à l'électrode de drain (30) et la longueur (L) s'étendant selon un axe longitudinal (x) orthogonal à l'axe transversal (y).

- 5
10. Transistor (100) à haute mobilité électronique en mode enrichissement selon l'une des revendications précédentes, dans lequel l'empilement (1) est formé en AlGaN et GaN.
- 10 11. Transistor (100) à haute mobilité électronique en mode enrichissement selon l'une des revendications précédentes, dans lequel l'électrode de grille (40) est isolée de l'empilement (1) en matériaux semi-conducteurs par une couche isolante (50) pour former une grille de configuration MIS (métal isolant semi-conducteur).
- 15

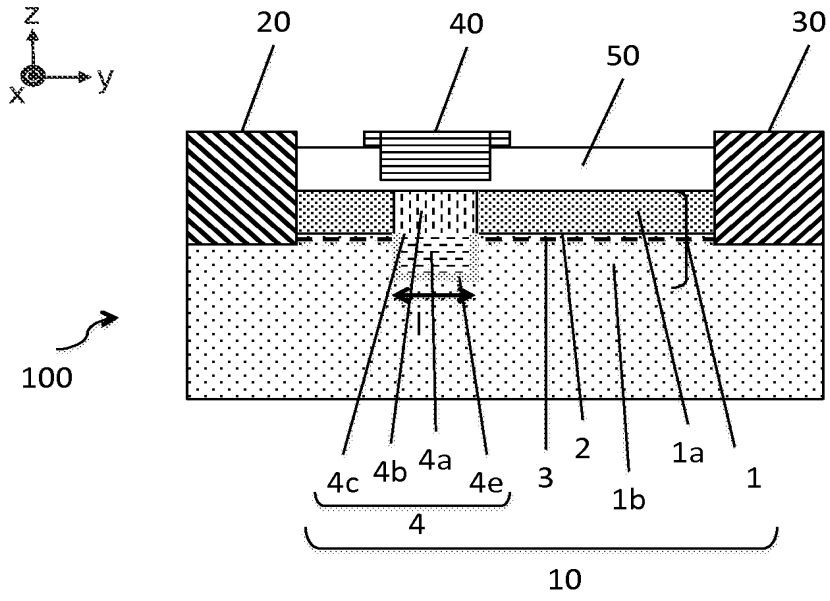


FIG.1a

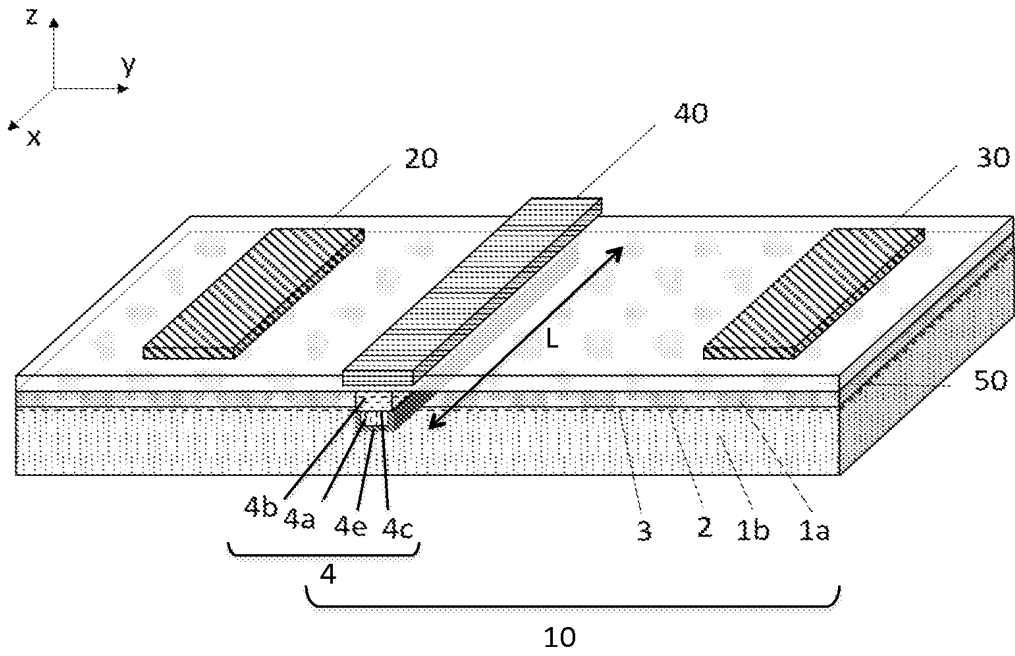


FIG.1b

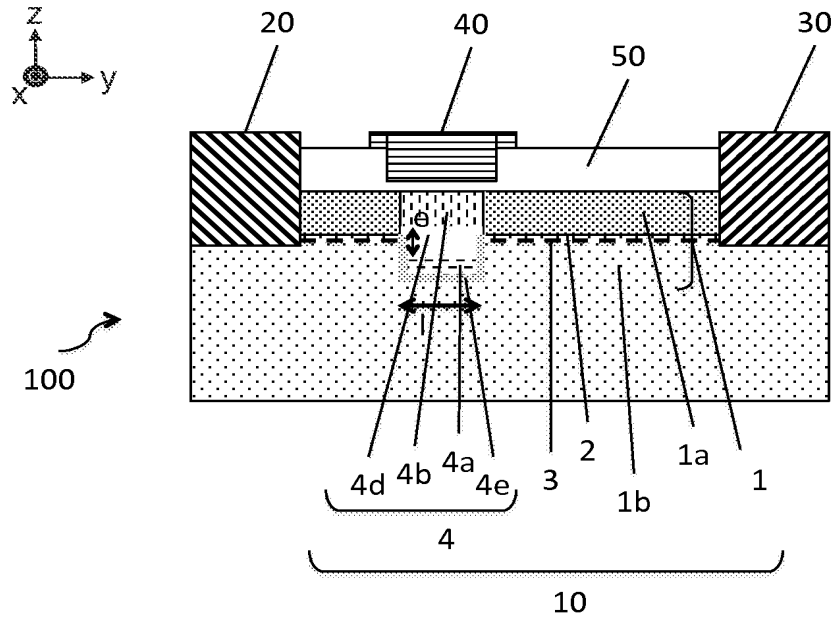
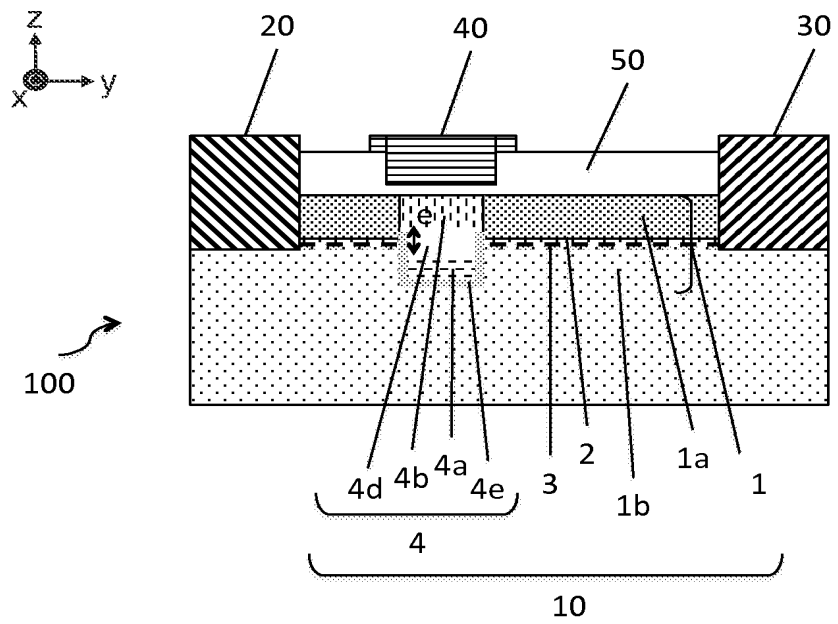
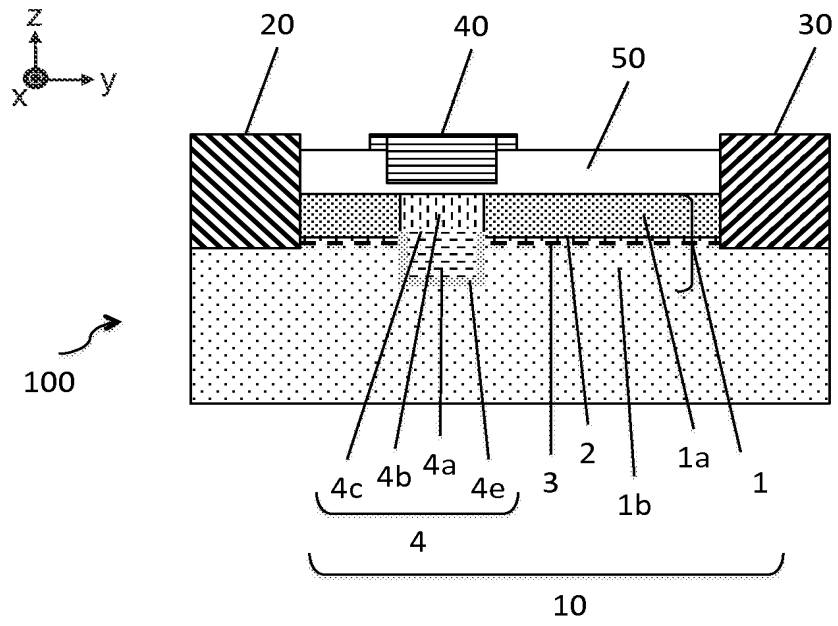


FIG.1c



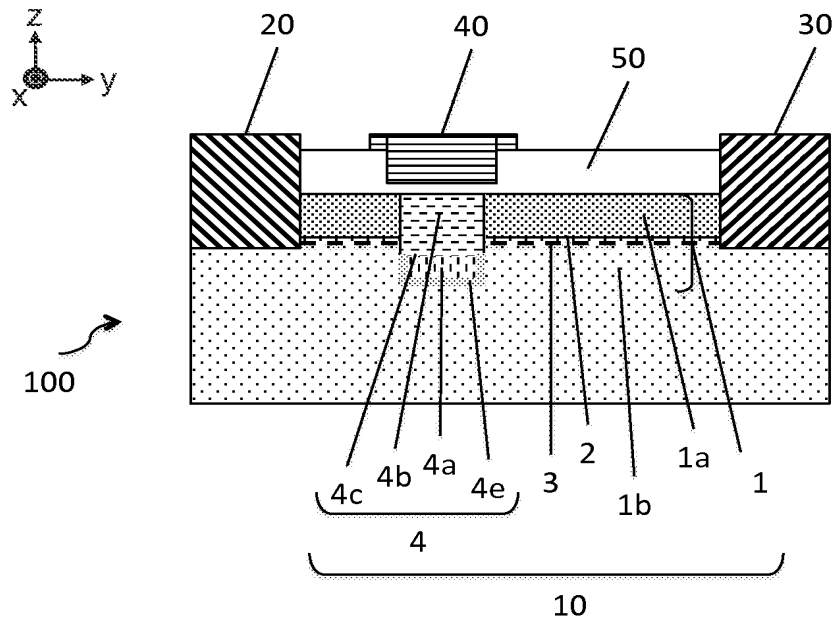


FIG.3a

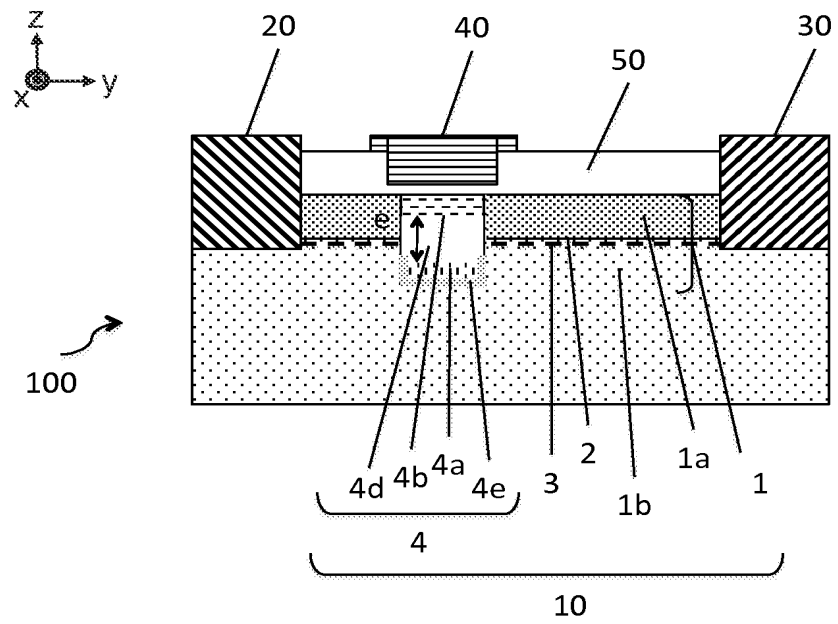


FIG.3b

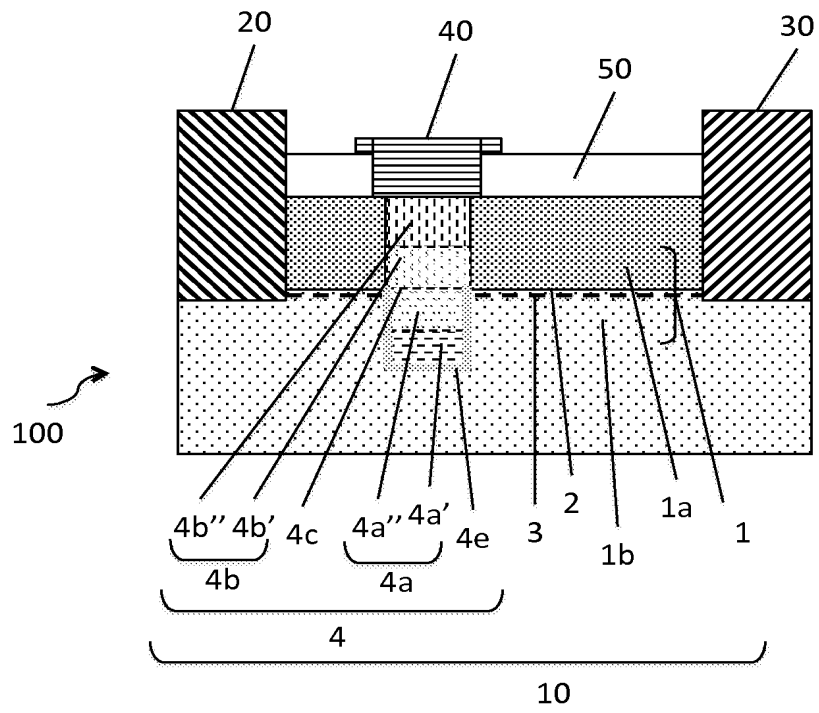
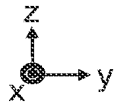


FIG.4a

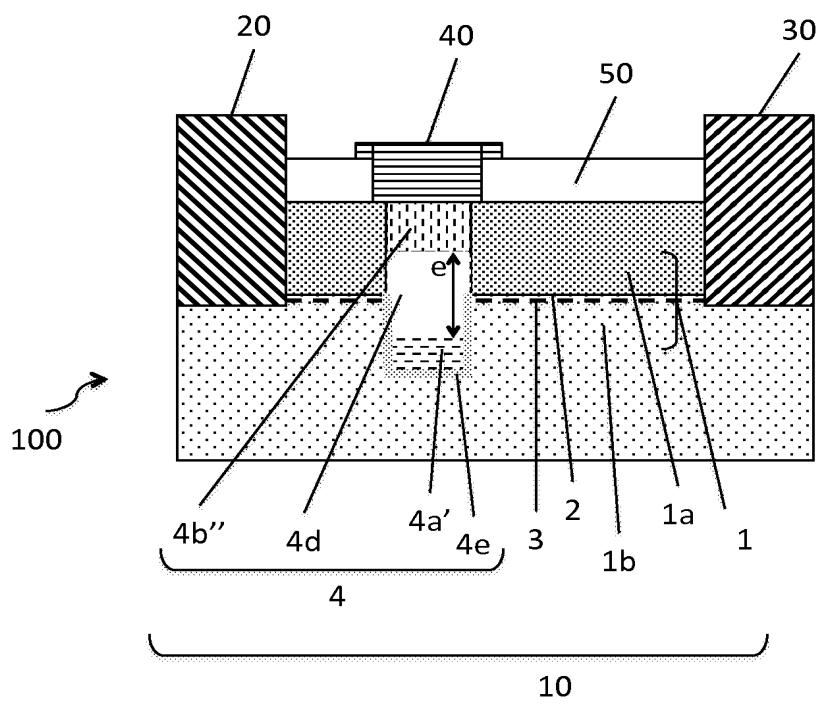
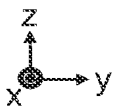


FIG.4b

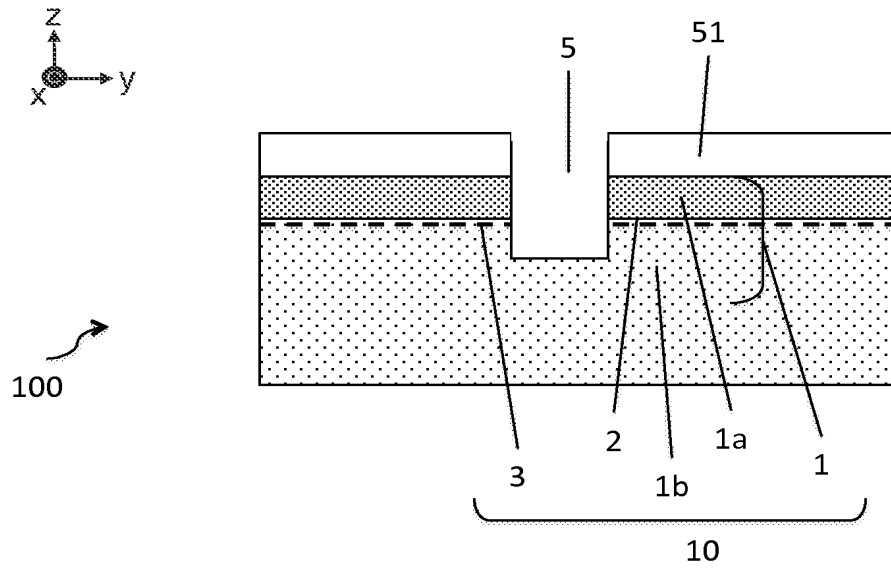


FIG.5a

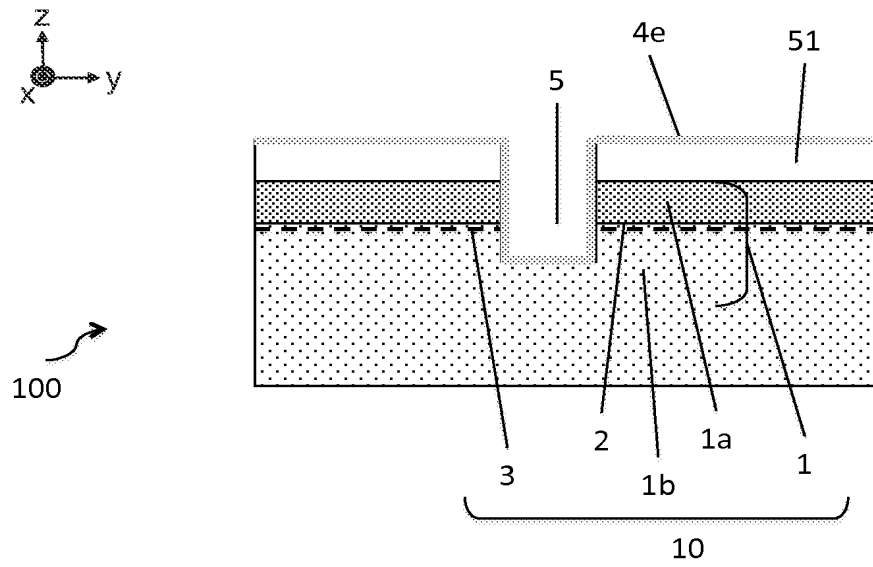


FIG.5b

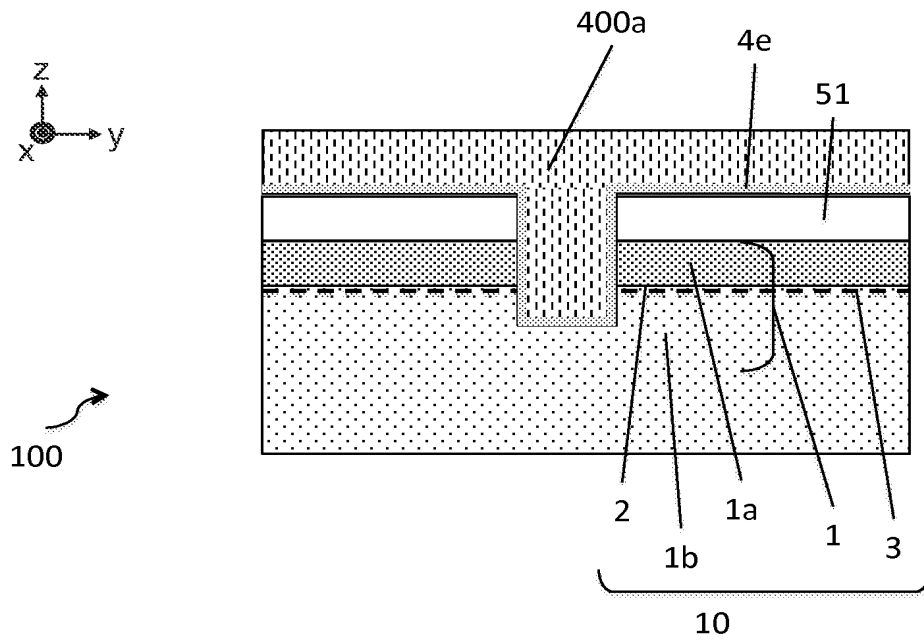


FIG.5c

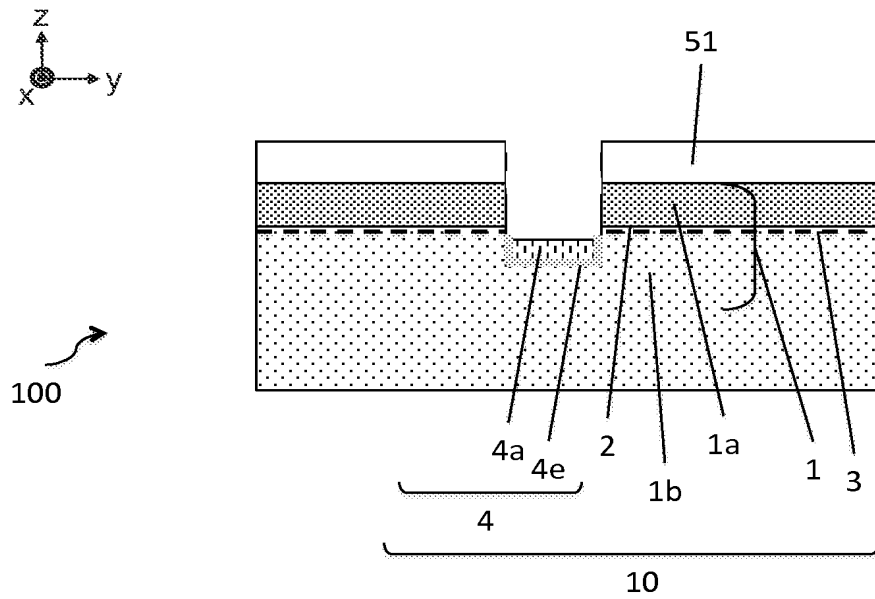


FIG.5d

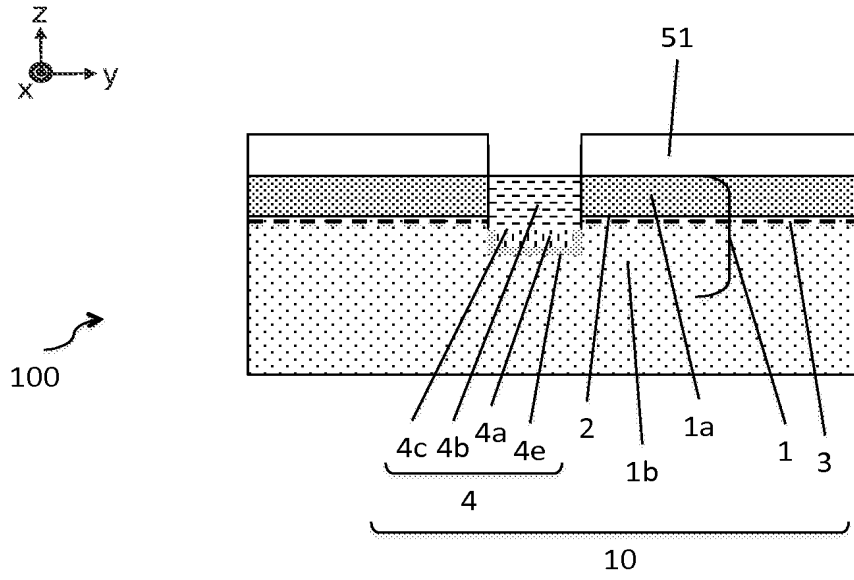


FIG.5e

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2019/051041

A. CLASSIFICATION OF SUBJECT MATTER
 INV. H01L29/778 H01L21/336 H01L21/337 H01L29/06 H01L29/10
 ADD. H01L29/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2014/091316 A1 (KIKKAWA TOSHIHIDE [JP]) 3 April 2014 (2014-04-03) figures 7-11 et texte associé -----	1-11
X	US 2010/102357 A1 (SATO KEN [JP]) 29 April 2010 (2010-04-29) figure 4 et texte associé -----	1-11
A	US 2006/273347 A1 (HIKITA MASAHIRO [JP] ET AL) 7 December 2006 (2006-12-07) paragraph [0033]; figure 1 -----	4
A	US 2014/077267 A1 (HEO HONG-PYO [KR]) 20 March 2014 (2014-03-20) figures 4 vs. 1A -----	5
A	FR 3 047 609 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 11 August 2017 (2017-08-11) figures 14 vs. 10 -----	11

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search 4 September 2019	Date of mailing of the international search report 12/09/2019
---	--

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Moehl, Sebastian
--	--

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2019/051041

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014091316	A1	03-04-2014	CN 103715244 A 09-04-2014
			JP 6161246 B2 12-07-2017
			JP 2014072424 A 21-04-2014
			TW 201413944 A 01-04-2014
			US 2014091316 A1 03-04-2014
			US 2016172476 A1 16-06-2016
			US 2017207319 A1 20-07-2017

US 2010102357	A1	29-04-2010	JP 2010103425 A 06-05-2010
			US 2010102357 A1 29-04-2010

US 2006273347	A1	07-12-2006	JP 4705412 B2 22-06-2011
			JP 2006339561 A 14-12-2006
			US 2006273347 A1 07-12-2006
			US 2010327293 A1 30-12-2010
			US 2012299011 A1 29-11-2012

US 2014077267	A1	20-03-2014	KR 20140037992 A 28-03-2014
			US 2014077267 A1 20-03-2014
			US 2015054035 A1 26-02-2015

FR 3047609	A1	11-08-2017	NONE

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2019/051041

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L29/778 H01L21/336 H01L21/337 H01L29/06 H01L29/10 ADD. H01L29/20		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2014/091316 A1 (KIKKAWA TOSHIHIDE [JP]) 3 avril 2014 (2014-04-03) figures 7-11 et texte associé -----	1-11
X	US 2010/102357 A1 (SATO KEN [JP]) 29 avril 2010 (2010-04-29) figure 4 et texte associé -----	1-11
A	US 2006/273347 A1 (HIKITA MASAHIRO [JP] ET AL) 7 décembre 2006 (2006-12-07) alinéa [0033]; figure 1 -----	4
A	US 2014/077267 A1 (HEO HONG-PYO [KR]) 20 mars 2014 (2014-03-20) figures 4 vs. 1A -----	5
A	FR 3 047 609 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 11 août 2017 (2017-08-11) figures 14 vs. 10 -----	11
<input type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets
Date à laquelle la recherche internationale a été effectivement achevée 4 septembre 2019		Date d'expédition du présent rapport de recherche internationale 12/09/2019
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Moehl, Sebastian

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2019/051041

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2014091316	A1	03-04-2014	CN 103715244 A	09-04-2014
			JP 6161246 B2	12-07-2017
			JP 2014072424 A	21-04-2014
			TW 201413944 A	01-04-2014
			US 2014091316 A1	03-04-2014
			US 2016172476 A1	16-06-2016
			US 2017207319 A1	20-07-2017

US 2010102357	A1	29-04-2010	JP 2010103425 A	06-05-2010
			US 2010102357 A1	29-04-2010

US 2006273347	A1	07-12-2006	JP 4705412 B2	22-06-2011
			JP 2006339561 A	14-12-2006
			US 2006273347 A1	07-12-2006
			US 2010327293 A1	30-12-2010
			US 2012299011 A1	29-11-2012

US 2014077267	A1	20-03-2014	KR 20140037992 A	28-03-2014
			US 2014077267 A1	20-03-2014
			US 2015054035 A1	26-02-2015

FR 3047609	A1	11-08-2017	AUCUN	
