



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0120085
(43) 공개일자 2016년10월17일

(51) 국제특허분류(Int. Cl.)
H01L 33/36 (2010.01)

(52) CPC특허분류
H01L 33/36 (2013.01)
H01L 2924/12041 (2013.01)

(21) 출원번호 10-2015-0049156
(22) 출원일자 2015년04월07일
심사청구일자 없음

(71) 출원인
엘지이노텍 주식회사

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

(72) 발명자
임현철
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

(74) 대리인
김기문

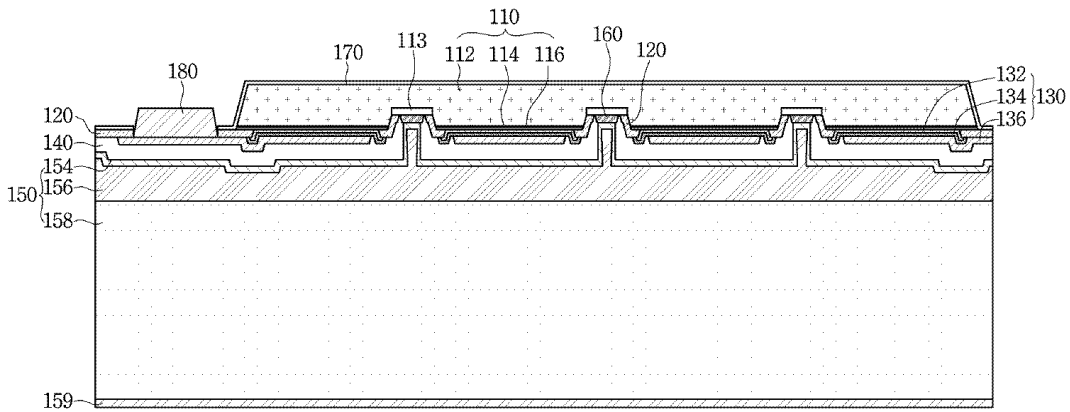
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **자외선 발광소자 및 조명시스템**

(57) 요약

실시예에 따른 자외선 발광소자는 제1 도전형 제2 반도체층(112); 상기 제1 도전형 제2 반도체층(112) 아래에 배치된 제2 도전형 제4 반도체층(116); 상기 제1 도전형 제2 반도체층(112) 및 제2 도전형 제4 반도체층(116) 사이에 배치된 활성층(114); 상기 제2 도전형 제4 반도체층(116)의 저면으로부터 상기 제2 도전형 제4 반도체층(116)과 상기 활성층(114)의 관통하여 상기 제1 도전형 제2 반도체층(112)의 일부를 노출하는 복수의 홀(H); 상기 제2 도전형 제4 반도체층(116)의 저면으로부터 상기 복수의 홀(H)을 통해 상기 제1 도전형 제2 반도체층(112)에 전기적으로 연결된 제1 콘택 전극(160); 상기 제1 콘택 전극(160)과 상기 복수의 홀(H) 사이에 배치된 절연층(140); 상기 제1 콘택 전극(160)과 상기 제1 도전형 제2 반도체층(112) 사이에 배치되는 제1 도전형 제3 반도체층(113);을 포함할 수 있다.

대표도



명세서

청구범위

청구항 1

제1 도전형 제2 반도체층;

상기 제1 도전형 제2 반도체층 아래에 배치된 제2 도전형 제4 반도체층;

상기 제1 도전형 제2 반도체층 및 제2 도전형 제4 반도체층 사이에 배치된 활성층;

상기 제2 도전형 제4 반도체층의 저면으로부터 상기 제2 도전형 제4 반도체층과 상기 활성층의 관통하여 상기 제1 도전형 제2 반도체층의 일부를 노출하는 복수의 홀;

상기 제2 도전형 제4 반도체층의 저면으로부터 상기 복수의 홀을 통해 상기 제1 도전형 제2 반도체층에 전기적으로 연결된 제1 콘택 전극;

상기 제1 콘택 전극과 상기 복수의 홀 사이에 배치된 절연층;

상기 제1 콘택 전극과 상기 제1 도전형 제2 반도체층 사이에 배치되는 제1 도전형 제3 반도체층;을 포함하는 자외선 발광소자.

청구항 2

제1 항에 있어서,

상기 제1 콘택 전극은 상기 제1 도전형 제3 반도체층과 직접 접하는 자외선 발광소자.

청구항 3

제1 항에 있어서,

상기 제1 도전형 제2 반도체층은 n형 AlGa_N 계열 반도체층이며,

상기 제1 도전형 제3 반도체층 n형 GaN 계열 반도체층인 자외선 발광소자.

청구항 4

제3 항에 있어서,

상기 제1 도전형 제4 반도체층은 p형 AlGa_N 계열 반도체층인 자외선 발광소자.

청구항 5

제1 항에 있어서,

상기 제1 콘택 전극과 전기적으로 연결된 접합층;

상기 접합층 아래에 배치된 지지부재; 및

상기 제2 도전형 제4 반도체층과 전기적으로 연결된 제2 콘택 전극;을 더 포함하는 자외선 발광소자.

청구항 6

제1 항에 있어서,

상기 제1 콘택 전극을 둘러싸는 채널층을 더 포함하는 발광소자.

청구항 7

제6 항에 있어서,

상기 채널층은

반사물질질을 포함하는 발광소자.

청구항 8

제1 항에 있어서,
 상기 제1 전극층은
 상기 제1 컨택 전극 상에 확산방지층과,
 상기 확산방지층 상에 상기 접합층;을 포함하는 발광소자.

청구항 9

제1 항 내지 제8 항에 중 어느 하나에 기재된 발광소자를 구비하는 발광유닛을 포함하는 조명시스템.

발명의 설명

기술 분야

[0001] 실시예는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템에 관한 것이다.

배경 기술

[0002] 발광소자(Light Emitting Diode)는 전기에너지가 빛 에너지로 변환되는 특성의 p-n 접합 다이오드를 주기율표상에서 3족-5족 원소 또는 2족-6족 원소가 화합되어 생성될 수 있고, 화합물 반도체의 조성비를 조절함으로써 다양한 색상구현이 가능하다.

[0003] 예를 들어, 질화물 반도체는 높은 열적 안정성과 폭 넓은 밴드갭 에너지에 의해 광소자 및 고출력 전자소자 개발 분야에서 큰 관심을 받고 있다. 특히, 질화물 반도체를 이용한 자외선(UV) 발광소자, 청색(Blue) 발광소자, 녹색(Green) 발광소자, 적색(RED) 발광소자 등은 상용화되어 널리 사용되고 있다.

[0004] 예를 들어, 자외선 발광소자(UV LED)의 경우, 200nm~400nm의 파장대에 분포되어 있는 빛을 발생하는 발광소자로서, 상기 파장대 에서, 단파장의 경우, 살균, 정화 등에 사용되며, 장파장의 경우 노광기 또는 경화기 등에 사용될 수 있다.

[0005] 예를 들어, 근자외선 발광소자(Near UV LED)는 위폐감식, 수지 경화, 또는 자외선 치료 등에 사용되고 있고, 형광체와 조합되어 다양한 색상의 가시광선을 구현하는 조명 장치에서도 사용되고 있다.

[0006] 한편, 자외선 발광소자는 청색 발광소자에 비해, 광 취득 효율 및 광 출력이 떨어진다는 문제가 있다. 이는 자외선 발광소자의 실용화에 장벽으로 작용하고 있다.

[0007] 예를 들어, 자외선 발광소자에 사용되는 III족 질화물은 가시광선에서 자외선까지 광범위하게 활용될 수 있으나, 가시광선 대비 자외선의 효율이 떨어지는 문제가 있다. 그 이유는 자외선의 파장으로 갈수록 III족 질화물이 자외선을 흡수한다는 것과, 낮은 결정성에 의한 내부 양자효율의 저하가 원인이다.

[0008] 이에 따라, 종래 UV LED 기술에 의하면 III족 질화물에서의 자외선 흡수를 방지하기 위해, 성장기판, GaN층, AlGaN층, 활성층 등을 순차적으로 성장한 후에, 자외선 흡수 가능성이 있는 GaN층을 제거하고 AlGaN층을 노출시키는 수직형 발광소자 형태로 제조하고 있다.

[0009] 한편, 종래기술에 의한 발광소자 중에 전극층이 에피층의 한쪽 방향에 배치되는 수평형 타입(Lateral Type) 발광소자가 있는데, 이러한 수평형 타입 발광소자는 협소한 전류 흐름으로 인해, 발광소자의 동작 전압(Vf)이 증가하여 전류효율이 저하되며, 광도(Po) 향상 및 정전기 방전(Electrostatic discharge)에 취약한 문제를 해결하기 위해 에피층 하측에 비아홀을 형성하여 전극을 배치하는 비아홀 타입 수직형 발광소자가 개발되고 있다.

[0010] 이러한 비아홀 타입 수직형 발광소자를 제조하기 위해, n-컨택(n-contact)을 위한 다수의 메사에칭(Mesa etching)을 진행하고 n-컨택과 메사에칭 홀(Mesa etching hole) 사이에 절연층을 형성할 수 있다.

[0011] 그런데 UV 발광소자에서 비아홀 타입 수직형 발광소자를 적용하는 경우 비아홀을 관통하는 컨택 전극은 노출되는 AlGaN층과 직접 접하는데, AlGaN층은 밴드갭 에너지가 크므로 동작전압이 상승하는 문제가 있다.

발명의 내용

해결하려는 과제

[0012] 실시예는 광도가 향상되면서 동작전압이 개선되는 자외선 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공하고자 한다.

과제의 해결 수단

[0013] 실시예에 따른 자외선 발광소자는 제1 도전형 제2 반도체층(112); 상기 제1 도전형 제2 반도체층(112) 아래에 배치된 제2 도전형 제4 반도체층(116); 상기 제1 도전형 제2 반도체층(112) 및 제2 도전형 제4 반도체층(116) 사이에 배치된 활성층(114); 상기 제2 도전형 제4 반도체층(116)의 저면으로부터 상기 제2 도전형 제4 반도체층(116)과 상기 활성층(114)의 관통하여 상기 제1 도전형 제2 반도체층(112)의 일부를 노출하는 복수의 홀(H); 상기 제2 도전형 제4 반도체층(116)의 저면으로부터 상기 복수의 홀(H)을 통해 상기 제1 도전형 제2 반도체층(112)에 전기적으로 연결된 제1 컨택 전극(160); 상기 제1 컨택 전극(160)과 상기 복수의 홀(H) 사이에 배치된 절연층(140); 상기 제1 컨택 전극(160)과 상기 제1 도전형 제2 반도체층(112) 사이에 배치되는 제1 도전형 제3 반도체층(113);을 포함할 수 있다.

[0014] 실시예에 따른 조명시스템은 상기 발광소자를 구비하는 발광유닛을 포함할 수 있다.

발명의 효과

[0015] 실시예에 의하면 광도가 향상되면서 동작전압이 향상되는 자외선 발광소자, 자외선 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공하고자 한다.

도면의 간단한 설명

- [0016] 도 1은 실시예에 따른 발광소자의 평면 투영도.
- 도 2는 실시예에 따른 발광소자의 확대 단면도.
- 도 3 내지 도 11은 실시예에 따른 발광소자의 제조방법의 공정 단면도.
- 도 12는 실시예에 따른 발광소자 패키지 단면도.
- 도 13은 실시예에 따른 조명장치의 분해 사시도.

발명을 실시하기 위한 구체적인 내용

[0017] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on/over)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0018] (실시예)

[0019] 도 1은 실시예에 따른 발광소자(100)의 평면 투영도이며, 도 2는 도 1의 A-A'선을 따른 확대 단면도이다.

[0020] 실시예에 따른 자외선 발광소자는 제1 도전형 제2 반도체층(112), 제2 도전형 제4 반도체층(116), 활성층(114), 제1 컨택 전극(160), 절연층(140), 제1 도전형 제3 반도체층(113)을 포함할 수 있다.

[0021] 예를 들어, 실시예에 따른 자외선 발광소자는 제1 도전형 제2 반도체층(112); 상기 제1 도전형 제2 반도체층(112) 아래에 배치된 제2 도전형 제4 반도체층(116); 상기 제1 도전형 제2 반도체층(112) 및 제2 도전형 제4 반도체층(116) 사이에 배치된 활성층(114); 상기 제2 도전형 제4 반도체층(116)의 저면으로부터 상기 제2 도전형 제4 반도체층(116)과 상기 활성층(114)을 관통하여 상기 제1 도전형 제2 반도체층(112)의 일부를 노출하는 복수의 홀(H); 상기 제2 도전형 제4 반도체층(116)의 저면으로부터 상기 복수의 홀(H)을 통해 상기 제1 도전형 제2 반도체층(112)에 전기적으로 연결된 제1 컨택 전극(160); 상기 제1 컨택 전극(160)과 상기 복수의 홀(H) 사이에 배치된 절연층(140); 상기 제1 컨택 전극(160)과 상기 제1 도전형 제2 반도체층(112) 사이에 배치되는 제1 도전형 제3 반도체층(113);을 포함할 수 있다.

- [0022] 또한 실시예는 상기 제1 컨택 전극(160)과 전기적으로 연결된 제1 전극층(150) 및 상기 제2 도전형 제4 반도체층(116)과 전기적으로 연결된 제2 컨택 전극(132)을 포함할 수 있다.
- [0023] 상기 제1 전극층(150)은 상기 제1 컨택 전극(160)과 전기적으로 연결된 접합층(156)과 상기 접합층(156) 아래에 배치된 지지부재(158)를 포함할 수 있다.
- [0024] 실시예는 상기 제1 컨택 전극(160)과 상기 제1 도전형 제2 반도체층(112) 사이에 배치되는 제1 도전형 제3 반도체층(113)을 포함할 수 있다.
- [0025] 상기 제1 컨택 전극(160)은 상기 제1 도전형 제3 반도체층(113)과 직접 접할 수 있다.
- [0026] 상기 제1 도전형 제2 반도체층(112)은 n형 AlGa_N 계열 반도체층을 포함할 수 있으며, 상기 제1 도전형 제3 반도체층(113) n형 Ga_N 계열 반도체층을 포함할 수 있다.
- [0027] 상기 제1 도전형 제4 반도체층(116)은 p형 AlGa_N 계열 반도체층을 포함할 수 있다.
- [0028] 종래기술에 의하면, UV 발광소자에서 비아홀 타입 수직형 발광소자를 적용하는 경우 비아홀을 관통하는 컨택 전극이 밴드갭 에너지가 높은 AlGa_N층과 직접 접합에 따라 동작전압이 상승하는 문제가 있다.
- [0029] 이에 실시예에 의하면, 상기 제1 컨택 전극(160)과 상기 제1 도전형 제2 반도체층(112) 사이에 제1 도전형 제3 반도체층(113)을 배치하고, 상기 제1 컨택 전극(160)은 상기 제1 도전형 제3 반도체층(113)과 접하도록 함으로써 동작전압이 상승하지 않으면서 광도를 향상시킬 수 있다.
- [0030] 이하, 도 3 내지 도 11을 참조하여 실시예에 따른 발광소자의 제조방법을 설명한다.
- [0031] 우선, 도 3과 같이 성장 기관(105) 상에 발광구조층(110)이 형성될 수 있다. 상기 발광구조층(110)은 제1 도전형 제2 반도체층(112), 활성층(114), 및 제2 도전형 제4 반도체층(116)을 포함할 수 있다.
- [0032] 성장 기관(105)은 성장 장비에 로딩되고, 그 위에 II족 내지 VI족 원소의 화합물 반도체를 이용하여 층 또는 패턴 형태로 형성될 수 있다.
- [0033] 상기 성장 장비는 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등이 채용될 수 있으며, 이러한 장비로 한정되지는 않는다.
- [0034] 상기 성장 기관(105)은 도전성 기관 또는 절연성 기관 동일 수 있다. 예를 들어, 상기 성장 기관(105)은 사파이어 기관(Al₂O₃), Ga_N, SiC, ZnO, Si, GaP, InP, Ga₂O₃, 그리고 GaAs 등으로 이루어진 군에서 선택될 수 있다.
- [0035] 상기 성장 기관(105) 위에는 버퍼층(미도시)이 형성될 수 있다. 상기 버퍼층은 상기 성장 기관(105)과 질화물 반도체층 사이의 격자 상수의 차이를 줄여주게 되며, 그 물질은 Ga_N, Al_N, AlGa_N, InGa_N, In_N, InAlGa_N, AlIn_N, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중에서 선택될 수 있다.
- [0036] 상기 버퍼층 상에는 언도프트 반도체층(미도시)이 형성될 수 있으며, 상기 언도프트 반도체층은 도핑하지 않는 Ga_N계 반도체로 형성될 수 있으며, n형 반도체층보다 저 전도성의 반도체층으로 형성될 수 있다.
- [0037] 이후, 상기 버퍼층 또는 언도프트 반도체층 상에 제1 도전형 제1 반도체층(111)이 형성될 수 있다.
- [0038] 상기 제1 도전형 제1 반도체층(111)은 제1 도전형 Ga_N 계열 반도체 물질을 포함할 수 있다. 예를 들어, 상기 제1 도전형 제1 반도체층(112)은 Ga_N 반도체층, InGa_N 반도체층 중 어느 하나로 형성될 수 있다.
- [0039] 다음으로, 상기 제1 도전형 제1 반도체층(111) 상에 제1 도전형 제2 반도체층(112)이 형성될 수 있고, 상기 제1 도전형 제2 반도체층(112) 상에는 활성층(114)이 형성될 수 있으며, 상기 활성층(114) 상에 제2 도전형 제4 반도체층(116)이 순차적으로 적층될 수 있다.
- [0040] 상기의 각 반도체층의 위 또는 아래에는 다른 층이 더 배치될 수 있으며, 예컨대 III족-V족 화합물 반도체층을 이용하여 초격자 구조로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0041] 상기 제1 도전형 제2 반도체층(112)은 제1 도전형 도펀트가 도핑된 AlGa_N 계열 반도체층일 수 있다. 예를 들어, 상기 제1 도전형 제2 반도체층(112)은 Al_N, AlGa_N, InAlGa_N, AlIn_N, AlGaAs, AlGaInP 등에서 선택될 수 있다.
- [0042] 상기 제1 도전형 제2 반도체층(112)은 n형 반도체층일 수 있으며, 상기 제1 도전형 도펀트는 Si, Ge, Sn, Se,

Te 등과 같은 n형 도펀트를 포함할 수 있다.

- [0043] 상기 제1 도전형 제2 반도체층(112)은 n형 AlGaIn 계열 반도체층일 수 있으며, Al조성은 약 4%~약10%일 수 있다. 상기 제1 도전형 제2 반도체층(112)에서 Al의 조성이 4%미만인 경우 광흡수로 인해 광도(Po)가 하락할 수 있으며, 10% 초과 일때는 결정품질 저하로 발광구조물층에서 크랙이 발생하거나 저항이 증가할 수 있다.
- [0044] 실시예는 상기 제1 도전형 제2 반도체층(112)에 배치되는 제1 도전형 제3 반도체층(113)을 포함할 수 있다.
- [0045] 상기 제1 도전형 제3 반도체층(113)은 제1 도전형 GaIn 계열 반도체층일 수 있다. 예를 들어, 상기 제1 도전형 제3 반도체층(112)은 GaIn 반도체층, InGaIn 반도체층 중 어느 하나로 형성될 수 있다.
- [0046] 상기 제1 도전형 제2 반도체층(112)이 1차로 형성된 후, 소정의 마스크(미도시)를 이용해 노출되는 영역에 제1 도전형 제3 반도체층(113)이 선택적으로 형성된 후 마스크 제거 후 제1 도전형 제2 반도체층(112)이 2차로 형성될 수 있다.
- [0047] 예를 들어, 상기 마스크는 제1 도전형 제3 반도체층(113)이 형성될 영역을 노출하는 마스크로서 절연성 마스크일 수 있다. 예를 들어, 상기 마스크는 SiO₂ 등과 같은 산화물 또는 Si₃N₄ 등과 같은 질화물일 수 있으나 이에 한정되는 것은 아니다. 또는 실시예에 의하면, 도 4와 같이, 상기 제2 도전형 제4 반도체층(116)과 상기 활성층(114)을 관통하여 상기 제1 도전형 제2 반도체층(112)의 일부를 노출하는 복수의 홀(H)이 형성된 후 노출된 제1 도전형 제2 반도체층(112) 상에 제1 도전형 제3 반도체층(113)이 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0048] 상기 활성층(114)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다.
- [0049] 예를 들어, 상기 활성층(114)은 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 트리메틸 인듐 가스(TMIn)가 주입되어 다중 양자우물구조가 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0050] 상기 활성층(114)은 양자우물과 양자벽을 포함할 수 있다. 예를 들어, 상기 활성층(114)은 InGaIn/AlGaIn, InAlGaIn/AlGaIn, AlGaIn/GaIn, AlGaIn/AlGaIn, InGaIn/GaIn, InGaIn/InGaIn, InAlGaIn/GaIn, GaAs/AlGaAs, InGaAs/AlGaAs, GaP/AlGaP, InGaP AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다.
- [0051] 실시예에서 활성층(114)은 In조성이 3%이하인 InGaIn 양자우물과 Al조성이 5%이상인 AlGaIn 양자벽으로 이루어질 수 있으나 이에 한정되지 않는다. 또한 양자우물을 InAlGaIn으로 구성할 경우 Al 조성에 따라 In이 약 3%이상 이 될 수도 있다. 예를 들어, Al의 조성이 증가할수록 In의 조성은 약 3%이상 이 될 수도 있다. 실시예에서 양자우물의 두께는 약2nm~약10nm일 수 있고, 양자우물의 두께는 약2nm~약20nm일 수 있으나 이에 한정되는 것은 아니다. 양자우물의 두께가 2nm 미만의 경우 발광기능이 저하되어 발광효율이 저하될 수 있으며, 10nm 초과인 경우 결정품질이 저하될 수 있다. 양자우물의 두께가 2nm 미만의 경우 배리어로서 기능이 저하될 수 있으며, 20nm 초과인 경우 결정품질이 저하될 수 있다.
- [0052] 상기 제2 도전형 제4 반도체층(116)은 제2 도전형 AlGaIn 계열 반도체층일 수 있다.
- [0053] 예를 들어, 상기 제2 도전형 제4 반도체층(116) Al_qGa_{1-q}In (0≤q≤1)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제2 도전형 제4 반도체층(116)이 p형 반도체층인 경우, 상기 제2도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.
- [0054] 실시예에서 제2 도전형 제4 반도체층(116)은 블루(Blue) 칩(chip)과 달리 광흡수에 의한 광도 저하(Po Drop)를 막기 위해 Al을 포함할 수 있으며, Al의 조성은 약 3%~약10%일 수 있다. 제2 도전형 제4 반도체층(116)에서 Al의 조성이 3% 미만의 경우 광도 저하가 발생할 수 있으며, 10% 초과시 결정품질이 저하될 수 있다.
- [0055] 실시예는 제2 도전형 제4 반도체층(116) 상에 p-GaIn층(미도시)을 더 형성하여 접촉(Contact) 저항을 낮춰 동작 전압의 상승을 막을 수 있다. 상기 p-GaIn층은 약 10nm이하의 두께일 수 있고, Mg 도핑농도가 약 1X10²⁰(atoms/cm³)이상일 수 있다. 상기 p-GaIn층(미도시)의 두께가 10nm 초과인 경우 또는 Mg 도핑농도가 약 1X10²⁰(atoms/cm³) 미만인 경우 접촉저항 저하에 기여하기 어려울 수 있다.
- [0056] 실시예는 제2 도전형 제4 반도체층(116)과 활성층(114) 사이에 Al조성이 15%~35%범위인 전자차단층(미도시)를 형성할 수 있고, 상기 전자차단층은 p-AlGaIn으로 형성될 수 있다. 전자차단층의 Al조성이 15% 미만의 경우 밴드 갭 에너지 준위가 낮아 전자차단층으로서 기능하기 어려울 수 있고, 35% 초과인 경우 결정품질이 저하될 수 있

다.

- [0057] 상기 제1 도전형 제2 반도체층(112), 상기 활성층(114) 및 상기 제2 도전형 제4 반도체층(116)은 발광구조층(110)으로 정의될 수 있다. 또한 상기 제2 도전형 제4 반도체층(116) 위에는 제3 도전형 반도체층(미도시) 예컨대, 제2 도전형과 반대의 극성을 갖는 반도체층이 형성될 수 있다.
- [0058] 이에 따라 상기 발광구조층(110)은 n-p 접합, p-n 접합, n-p-n 접합, p-n-p 접합 구조 중 적어도 하나를 포함할 수 있다. 이하의 설명에서는 발광구조층(110)의 최상층에는 제2 도전형 제4 반도체층(116)이 배치된 구조를 일 예로 설명하기로 한다.
- [0059] 다음으로, 도 4와 같이, 상기 발광구조물의 일부를 제거하는 메사 에칭공정이 진행될 수 있다.
- [0060] 예를 들어, 상기 제2 도전형 제4 반도체층(116)과 상기 활성층(114)의 관통하여 상기 제1 도전형 제2 반도체층(112)의 일부 또는 제1 도전형 제3 반도체층(113)을 노출하는 복수의 홀(H)이 형성될 수 있다.
- [0061] 실시예에 따라서, 제1 도전형 제3 반도체층(113)이 미리 형성되지 않는 경우, 노출되는 제1 도전형 제2 반도체층(112) 상에 제1 도전형 제3 반도체층(113)이 형성될 수 있다.
- [0062] 실시예에서 상기 복수의 홀(H)은 상기 제1 도전형 제2 반도체층(112)에서 제2 도전형 제4 반도체층(116)의 상면까지 소정의 각도 예컨대, 상기 발광구조층(110)의 상면에 대해 둔각의 각도로 형성될 수 있으나 이에 한정하지 않는다.
- [0063] 실시예에서 상기 복수의 홀(H)의 수평폭은 하측으로 갈수록 감소할 수 있다. 한편, 도 2에서, 상기 복수의 홀(H)의 수평폭은 상측으로 갈수록 감소할 수 있다.
- [0064] 도 2를 기준으로 할 때, 실시예에 의하면, 복수의 홀(H)의 수평폭이 상측으로 갈수록 감소함으로써 제거되는 활성층(114) 및 제1 도전형 제2 반도체층(112) 영역을 절감하여 발광효율에 기여할 수 있다.
- [0065] 다음으로, 도 5와 같이, 복수의 홀(H) 상에 채널층(120)이 형성될 수 있다. 상기 채널층(120)은 이후 형성될 제1 컨택 전극(160)이 형성될 영역에는 형성되지 않을 수 있다.
- [0066] 상기 채널층(120)은 이후 형성되는 제1 컨택 전극(160)과 활성층(114), 제2 도전형 제4 반도체층(116)과의 전기적 절연층 기능을 할 수 있다.
- [0067] 상기 채널층(120)은 SiO_x, SiO_xN_y, Al₂O₃, TiO₂ 중에서 선택된 어느 하나 이상의 물질로 형성될 수 있다.
- [0068] 또한 실시예에서 상기 채널층(120)은 반사율이 50% 초과일 수 있다. 예를 들어, 상기 채널층(120)은 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중에서 선택된 물질로 형성될 수 있으며, 이러한 절연물질에 반사물질이 혼합된 형태로 형성될 수 있다.
- [0069] 예를 들어, 상기 채널층(120)은 절연물질에 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, 또는 Hf 중 어느 하나 이상의 물질이 혼합된 형태로 형성될 수 있다.
- [0070] 실시예에 의하면, 발광된 빛이 하측으로 이동할 때, 채널층(120)에서도 반사시켜 줌으로써 광흡수를 최소화함과 아울러 광효율을 증대할 수 있다.
- [0071] 다음으로, 상기 제2 도전형 제4 반도체층(116) 상에 제2 컨택 전극(132)이 형성될 수 있다.
- [0072] 상기 제2 컨택 전극(132)은 상기 제2 도전형 제4 반도체층(116)과 오믹 접촉되며, 적어도 하나의 전도성 물질을 포함하며, 단층 또는 다층으로 이루어질 수 있다.
- [0073] 예를 들어, 상기 제2 컨택 전극(132)은 금속, 금속 산화물 및 금속 질화물 재질 중 적어도 하나를 포함할 수 있다.
- [0074] 상기 제2 컨택 전극(132)은 투광성의 물질을 포함하며, 예컨대, ITO(indium tin oxide), IZO(indium zinc oxide), IZON(IZO nitride), IZTO (indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IrO_x, RuO_x, RuO_x/ITO, Ni/IrO_x/Au, Ni/IrO_x/Au/ITO, Pt, Ni, Au, Rh 또는 Pd 중 적어도 하나를 포함할 수 있다.
- [0075] 다음으로, 상기 제2 컨택 전극(132) 상에 반사층(134)이 형성될 수 있다.

- [0076] 상기 반사층(134)은 상기 제2 컨택 전극(132) 상에 배치되며, 제2 컨택 전극(132)을 통해 입사된 광을 반사시켜 줄 수 있다.
- [0077] 상기 반사층(134)은 금속을 포함하며, 예컨대 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들 중 둘 이상의 합금으로 구성된 물질 중에서 한 층 또는 복수의 층으로 형성될 수 있다.
- [0078] 다음으로, 상기 반사층(134) 상에 캡핑층(136)이 형성될 수 있다. 상기 제2 컨택 전극(132), 반사층(134), 및 캡핑층(136)을 포함하여 제2 전극층(130)으로 칭할 수 있으며, 제2 전극층(130)은 패드 전극(180)로부터 공급되는 전원을 제2 도전형 제4 반도체층(116)에 공급할 수 있다.
- [0079] 상기 캡핑층(136)은 상기 반사층(134) 상에 배치되며 패드 전극(180)으로부터 공급되는 전원을 반사층(134)에 공급할 수 있다. 상기 캡핑층(136)은 전류 확산층으로 기능할 수 있다.
- [0080] 상기 캡핑층(136)은 금속을 포함하며, 전기 전도성이 높은 물질로서, 예컨대 Sn, Ga, In, Bi, Cu, Ni, Ag, Mo, Al, Au, Nb, W, Ti, Cr, Ta, Al, Pd, Pt, Si와 이들의 선택적인 합금 중 적어도 하나를 포함하여 단층 또는 다층으로 형성할 수 있다.
- [0081] 다음으로, 도 6과 같이, 상기 캡핑층(136)과 상기 채널층(120) 상에 절연층(140)이 형성될 수 있다.
- [0082] 상기 절연층(140)은 상기 제1 컨택 전극(160)을 노출하도록 형성될 수 있다.
- [0083] 상기 절연층(140)은 상기 제1 컨택 전극(160)과 다른 반도체층 사이를 전기적으로 절연시켜 준다.
- [0084] 또한 상기 절연층(140)은 이후 형성되는 제1 전극층(150)과 채널층(120) 사이에 배치되어, 전기적인 접촉을 차단할 수 있다.
- [0085] 상기 절연층(140)은 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중에서 선택된 물질로 형성될 수 있다.
- [0086] 상기 절연층(140)은 반사율이 50% 초과일 수 있다. 예를 들어, 상기 절연층(140)은 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중에서 선택된 물질로 형성될 수 있으며, 이러한 절연물질에 반사물질이 혼합된 형태로 형성될 수 있다.
- [0087] 예를 들어, 상기 절연층(140)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, 또는 Hf 중 어느 하나 이상의 물질이 혼합된 형태로 형성될 수 있다.
- [0088] 실시예에 의하면, 제1 컨택 전극(160)과 복수의 홀(H) 사이에 형성되는 절연층(140)의 물성을 반사층 물질로 형성하여, 패시베이션 기능하는 절연층(140)에서의 광흡수를 최소화하여 광효율을 증대할 수 있다.
- [0089] 다음으로, 상기 제1 도전형 제3 반도체층(113) 상에 제1 컨택 전극(160)이 형성될 수 있다.
- [0090] 상기 제1 컨택 전극(160)은 위에서 볼 때, 원형 또는 다각형 형상일 수 있으며, 이에 대해 한정되지 않는다.
- [0091] 실시예에서 상기 제1 컨택 전극(160)은 상기 제1 도전형 제3 반도체층(113)과 접할 수 있다.
- [0092] 실시예에 의하면, 상기 제1 컨택 전극(160)과 상기 제1 도전형 제2 반도체층(112) 사이에 제1 도전형 제3 반도체층(113)을 배치하고, 상기 제1 컨택 전극(160)은 상기 제1 도전형 제3 반도체층(113)과 접하도록 함으로써 동작전압이 상승하지 않으면서 광도를 향상시킬 수 있다.
- [0093] 도 6을 기준으로, 실시예에서 상기 제1 컨택 전극(160)은 저면에서 상면으로 폭이 증가할 수 있다. 한편 도 2를 기준으로 상기 제1 컨택 전극(160)은 상면에서 저면으로 폭이 감소할 수 있다.
- [0094] 이를 통해, 제1 컨택 전극(160)이 이후 형성되는 제2 전극층(130) 물질과의 쇼트 가능성을 낮추고, 제1 컨택 전극(160)이 제1 도전형 제3 반도체층(113)과 접하는 영역은 최대화하면서 제1 컨택 전극(160)이 차지하는 영역은 감소시켜 광 효율을 높일 수 있다.
- [0095] 한편, 도 2를 기준으로 설명할 때, 상기 제1 컨택 전극(160)의 저면의 수평폭과 상기 제1 컨택 전극(160)과 접하는 상기 확산방지층(154)의 수평폭은 일치하도록 함으로써 확산방지층(154), 제1 컨택 전극(160)이 차지하는 영역을 최소화하면서도 전기적인 특성이 저하되지 않을 수 있다.
- [0096] 다음으로, 도 7과 같이, 상기 절연층(140)과 상기 제1 컨택 전극(160) 상에 확산방지층(154)이 형성되고, 상기 확산방지층(154) 상에 접합층(156)이 형성될 수 있다.

- [0097] 상기 확산방지층(154) 또는 상기 접합층(156)은 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 또는 Ta 중 적어도 하나를 포함하여 단층 또는 다층으로 형성될 수 있다.
- [0098] 상기 확산방지층(154) 또는 상기 접합층(156)은 증착 방식, 스퍼터링 방식, 도금 방식 중 적어도 하나로 형성되거나, 전도성 시트로 부착될 수 있다.
- [0099] 상기 접합층(156)은 형성하지 않을 수 있으며, 이에 대해 한정하지는 않는다.
- [0100] 다음으로, 도 8과 같이 상기 접합층(156) 상에 지지부재(158)가 형성될 수 있다.
- [0101] 상기 확산방지층(154), 접합층(156) 및 지지부재(158)을 포함하여 제1 전극층(150)으로 칭할 수 있으며, 제1 전극층(150)은 하부전극(159)로부터 공급되는 전원을 제1 도전형 제2 반도체층(112)에 공급할 수 있다.
- [0102] 상기 지지부재(158)은 접합층(156)과 본딩될 수 있으나 이에 한정되는 것은 아니다.
- [0103] 상기 지지부재(158)는 전도성 지지부재일 수 있으며, 베이스 기관으로서, 구리(Cu), 금(Au), 니켈(Ni), 몰리브덴(Mo), 구리-텅스텐(Cu-W) 등 중에서 적어도 하나일 수 있다.
- [0104] 또한 상기 지지부재(158)는 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, SiC, SiGe, Ga₂O₃, GaN 등) 등으로 구현될 수 있고, 보드의 회로 패턴이나 패키지의 리드 프레임 상에 솔더로 접촉될 수 있다.
- [0105] 다음으로, 도 9와 같이, 성장 기관(105)이 제거될 수 있다. 이때, 성장 기관(105) 제거 후 잔존하는 언도프트 반도체층(미도시) 등을 제거하여 제1 도전형 제1 반도체층(111) 표면이 노출될 수 있다.
- [0106] 상기 성장 기관(105)은 물리적 또는/및 화학적 방법으로 제거될 수 있다. 예를 들어, 상기 성장 기관(105)의 제거 방법은 레이저 리프트 오프(LLO: Laser Lift Off) 과정으로 제거될 수 있다. 예를 들어, 상기 성장 기관(105)에 일정 영역의 파장을 가지는 레이저를 조사하는 방식으로 상기 성장 기관(105)을 리프트 오프하게 된다.
- [0107] 또는 상기 성장 기관(105)과 상기 제1 도전형 제2 반도체층(112) 사이에 배치된 버퍼층(미도시)을 습식식각 액을 이용하여 제거하여, 상기 성장 기관(105)을 분리할 수도 있다.
- [0108] 상기 성장 기관(105)이 제거되고 상기 버퍼층을 에칭하거나 폴리싱하여 제거함으로써, 상기 제1 도전형 제1 반도체층(111)의 상면이 노출될 수 있다.
- [0109] 다음으로 도 10과 같이, 제1 도전형 제1 반도체층(111)을 습식 또는 건식 에칭 등으로 제거하여 제1 도전형 제2 반도체층(112)이 노출되도록 할 수 있다.
- [0110] 다음으로, 상기 발광구조층(110)의 일부가 제거되어 채널층(120)의 일부가 노출될 수 있다.
- [0111] 예를 들어, 패드 전극(180)이 형성될 영역의 제1 도전형 제2 반도체층(112), 활성층(114), 제2 도전형 제4 반도체층(116)의 일부가 제거될 수 있다.
- [0112] 예를 들어, 습식에칭 또는 건식에칭을 수행하여 상기 발광구조층(110)의 둘레 측, 칩과 칩 사이의 경계 영역인 채널 영역 또는 아이슬레이션 영역이 제거될 수 있고, 상기 채널층(120)이 노출될 수 있다.
- [0113] 상기 제1 도전형 제2 반도체층(112)의 상면은 광 추출 구조가 형성될 수 있으며, 상기 광 추출 구조는 러프니스 또는 패턴으로 형성될 수 있다. 상기 광 추출 구조는 습식 또는 건식 에칭 방식에 의해 형성될 수 있다.
- [0114] 다음으로, 도 11과 같이, 상기 노출된 채널층(120)과 발광구조층(110) 상에 패시베이션층(170)이 형성될 수 있다.
- [0115] 이후, 패드 전극(180)이 형성될 영역의 패시베이션층(170)과 채널층(120)의 일부가 제거되어 캡핑층(136)의 일부가 노출될 수 있다.
- [0116] 다음으로, 노출된 캡핑층(136) 상에 패드 전극(180)이 형성될 수 있다.
- [0117] 상기 패드 단층 또는 다층으로 형성될 수 있으나 이에 한정되는 것은 아니다. 예를 들어, 상기 전극(180)은 오믹층, 반사층, 결합층등을 포함할 수 있다. 예를 들어, 상기 전극(180)은 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 몰리브덴(Mo) 또는 불순물이 주입된 반도체 기관 중 적어도 어느 하나로 형성될 수도 있으나 이에 한정되는 것은 아니다.
- [0118] 상기 패드 전극(180)은 와이어로 본딩될 부분으로서, 발광구조층(110)의 소정 부분에 배치될 수 있으며, 하나

또는 복수로 형성될 수 있다.

- [0119] 또한 도 2와 같이, 제1 전극층(150) 하측에 제1 전극(159)이 형성될 수 있으며, 상기 제1 전극(159)은 전도성이 높은 물질, 예를 들어, Ti, Al, Ni 등의 물질을 포함하여 단층 또는 다층으로 형성할 수 있으나 이에 한정되는 것은 아니다.
- [0120] 실시예에 의하면 광도가 향상되면서 동작전압이 향상되는 자외선 발광소자를 제공할 수 있다.
- [0121] 도 12는 실시 예에 따른 발광소자가 적용된 발광소자 패키지를 나타낸 도면이다.
- [0122] 도 12를 참조하면, 실시 예에 따른 발광소자 패키지는 몸체(205)와, 상기 몸체(205)에 배치된 제1 리드전극(213) 및 제2 리드전극(214)과, 상기 몸체(205)에 제공되어 상기 제1 리드전극(213) 및 제2 리드전극(214)과 전기적으로 연결되는 발광소자(100)와, 상기 발광소자(100)를 포위하는 몰딩부재(240)를 포함할 수 있다.
- [0123] 상기 몸체(205)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광소자(100)의 주위에 경사면이 형성될 수 있다.
- [0124] 상기 제1 리드전극(213) 및 제2 리드전극(214)은 서로 전기적으로 분리되며, 상기 발광소자(100)에 전원을 제공한다. 또한, 상기 제1 리드전극(213) 및 제2 리드전극(214)은 상기 발광소자(100)에서 발생된 빛을 반사시켜 광효율을 증가시킬 수 있으며, 상기 발광소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0125] 상기 발광소자(100)는 상기 몸체(205) 위에 배치되거나 상기 제1 리드전극(213) 또는 제2 리드전극(214) 위에 배치될 수 있다.
- [0126] 상기 발광소자(100)는 상기 제1 리드전극(213) 및 제2 리드전극(214)과 와이어 방식, 플립칩 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다.
- [0127] 실시예에서 발광소자(100)는 제2 리드전극(214)에 실장되고, 제1 리드전극(213)과 와이어(250)에 의해 연결될 수 있으나, 실시예가 이에 한정되는 것은 아니다.
- [0128] 상기 몰딩부재(240)는 상기 발광소자(100)를 포위하여 상기 발광소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(240)에는 형광체(232)가 포함되어 상기 발광소자(100)에서 방출된 광의 파장을 변화시킬 수 있다. 상기 몰딩부재(240)은 상면이 평평하거나 오목 또는 볼록하게 형성될 수 있으며 이에 한정하지 않는다.
- [0129] 실시 예에 따른 발광소자 또는 발광소자 패키지는 복수 개가 기판 위에 어레이될 수 있으며, 상기 발광소자 패키지의 광 경로 상에 광학 부재인 렌즈, 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광소자 패키지, 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 상기 라이트 유닛은 탑뷰 또는 사이드 뷰 타입으로 구현되어, 휴대 단말기 및 노트북 컴퓨터 등의 표시 장치에 제공되거나, 조명장치 및 지시 장치 등에 다양하게 적용될 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자 또는 발광소자 패키지를 포함하는 조명 장치로 구현될 수 있다. 예를 들어, 조명 장치는 램프, 가로등, 전광판, 전조등을 포함할 수 있다.
- [0130] 도 13은 실시예에 따른 조명장치의 분해 사시도이다.
- [0131] 실시예에 따른 조명 장치는 커버(2100), 광원 모듈(2200), 방열체(2400), 전원 제공부(2600), 내부 케이스(2700), 소켓(2800)을 포함할 수 있다. 또한, 실시 예에 따른 조명 장치는 부재(2300)와 홀더(2500) 중 어느 하나 이상을 더 포함할 수 있다. 상기 광원 모듈(2200)은 실시 예에 따른 발광소자 또는 발광소자 패키지를 포함할 수 있다.
- [0132] 상기 광원 모듈(2200)은 광원부(2210), 연결 플레이트(2230), 커넥터(2250)를 포함할 수 있다. 상기 부재(2300)는 상기 방열체(2400)의 상면 위에 배치되고, 복수의 광원부(2210)들과 커넥터(2250)이 삽입되는 가이드홈(2310)들을 갖는다.
- [0133] 상기 홀더(2500)는 내부 케이스(2700)의 절연부(2710)의 수납홈(2719)를 막는다. 따라서, 상기 내부 케이스(2700)의 상기 절연부(2710)에 수납되는 상기 전원 제공부(2600)는 밀폐된다. 상기 홀더(2500)는 가이드 돌출부(2510)를 갖는다.
- [0134] 상기 전원 제공부(2600)는 돌출부(2610), 가이드부(2630), 베이스(2650), 연장부(2670)를 포함할 수 있다. 상기 내부 케이스(2700)는 내부에 상기 전원 제공부(2600)와 함께 몰딩부를 포함할 수 있다. 몰딩부는 몰딩 액체가

굳어진 부분으로서, 상기 전원 제공부(2600)가 상기 내부 케이스(2700) 내부에 고정될 수 있도록 한다.

[0135] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

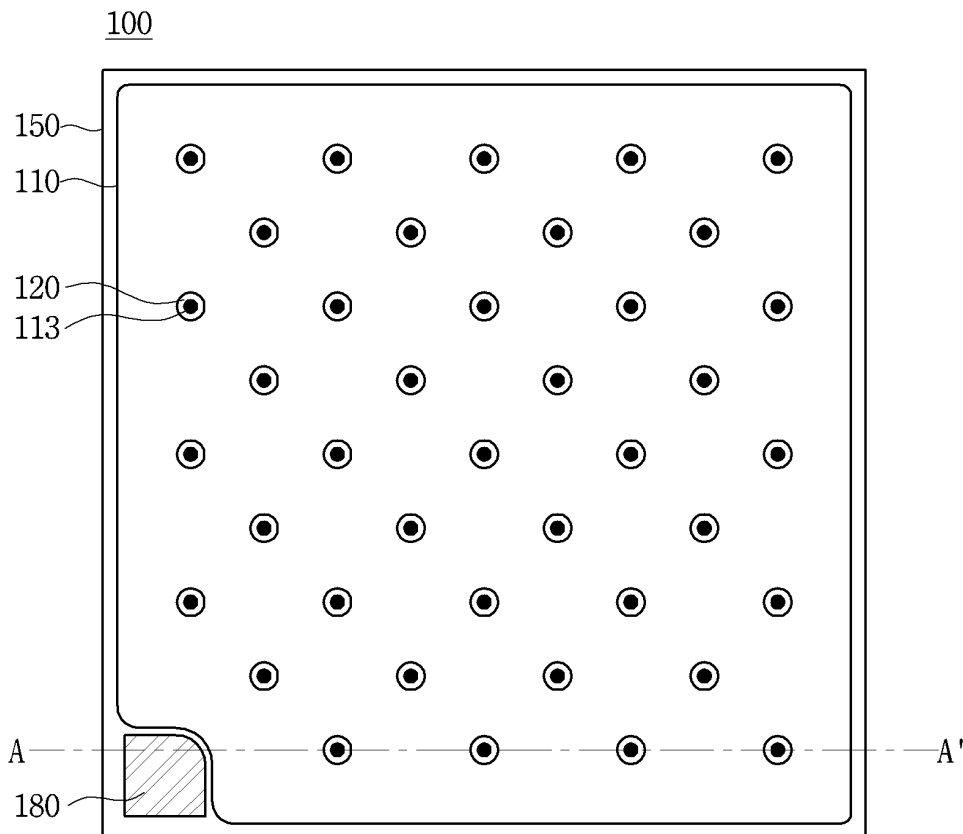
[0136] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

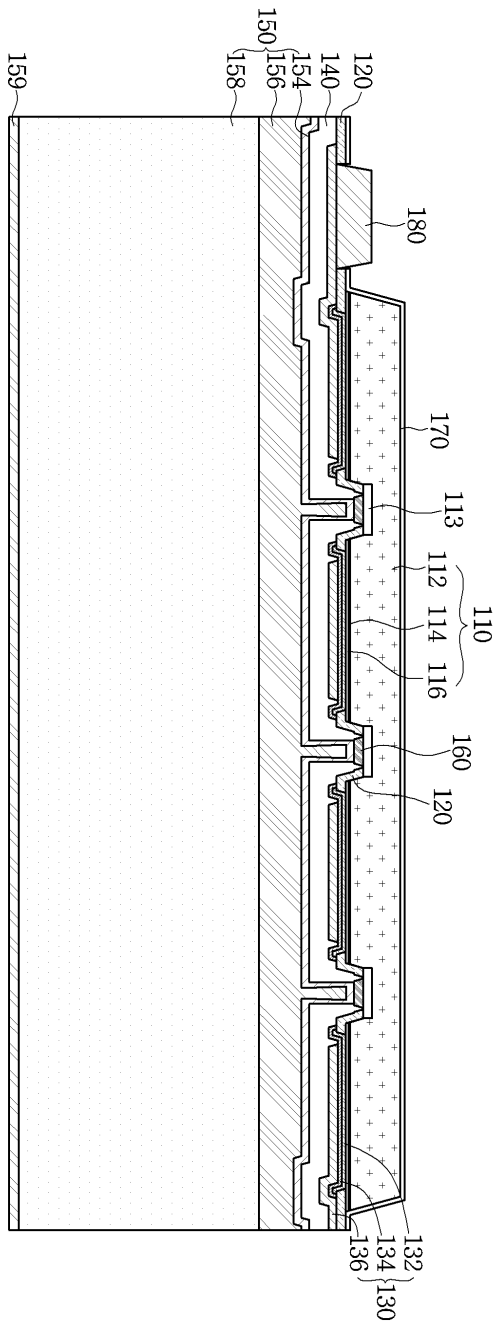
[0137] 제1 도전형 제1 반도체층(111), 제1 도전형 제2 반도체층(112), 제1 도전형 제3 반도체층(113), 제2 도전형 제4 반도체층(116), 활성층(114), 복수의 홀(H), 제1 컨택 전극(160), 절연층(140), 접합층(156), 지지부재(158), 제2 컨택 전극(132),

도면

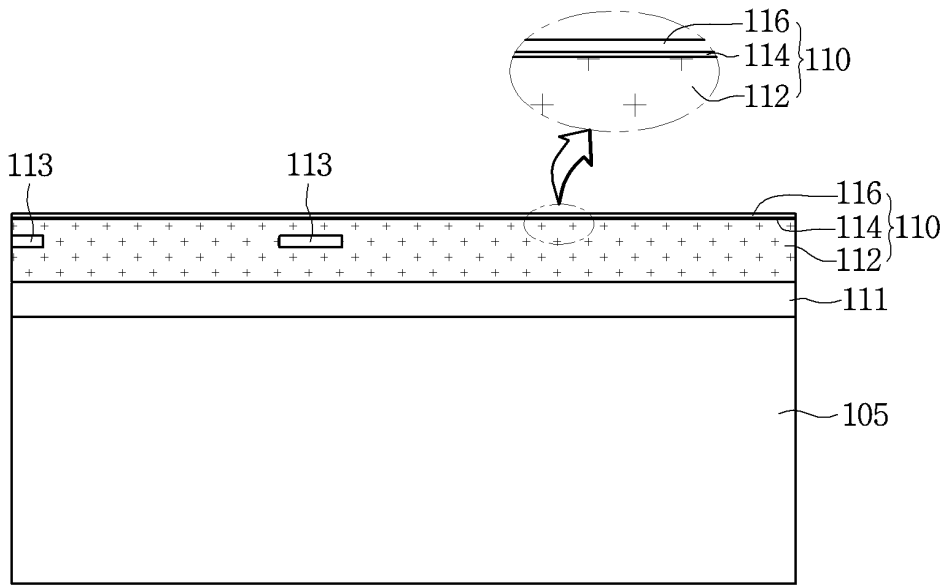
도면1



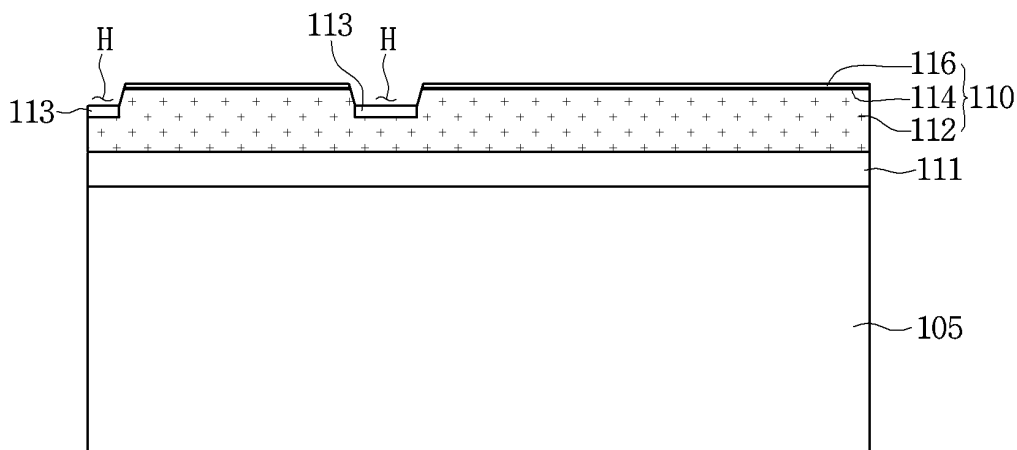
도면2



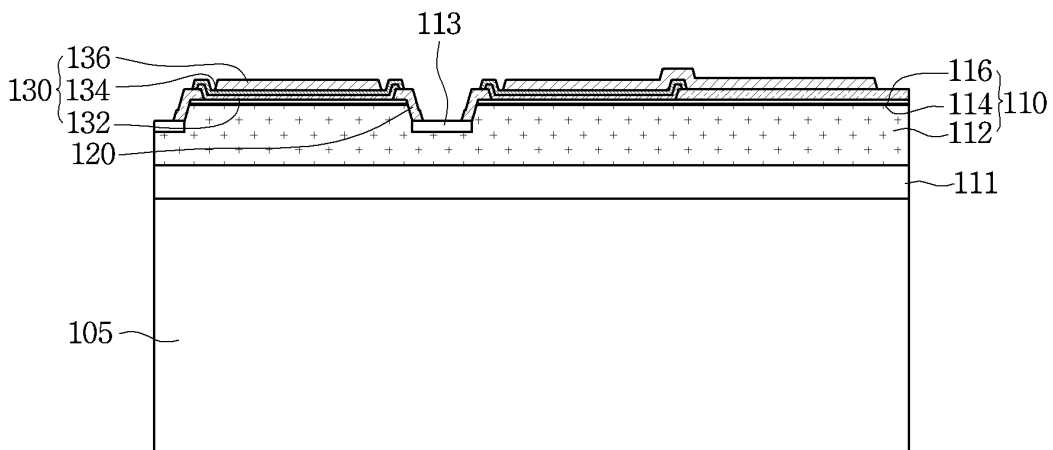
도면3



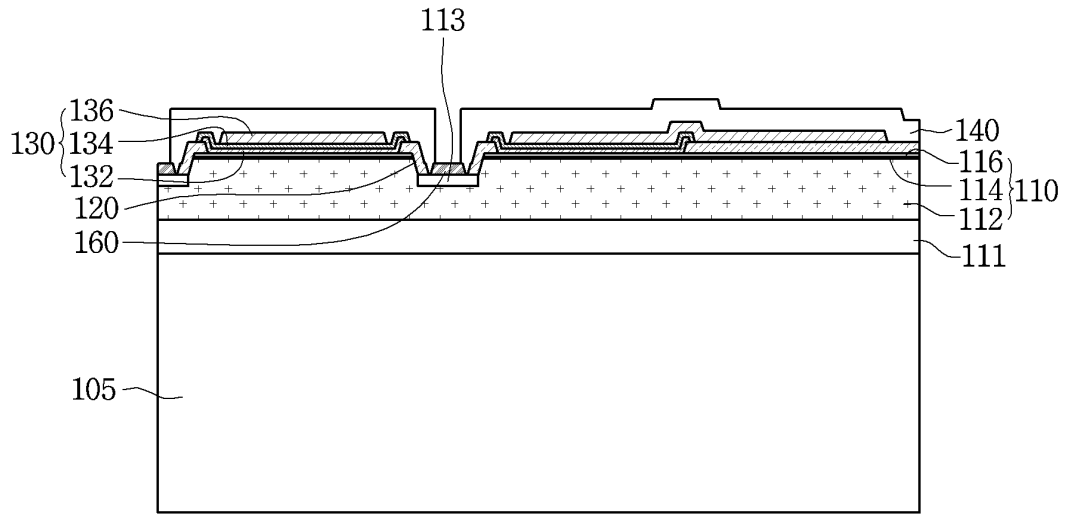
도면4



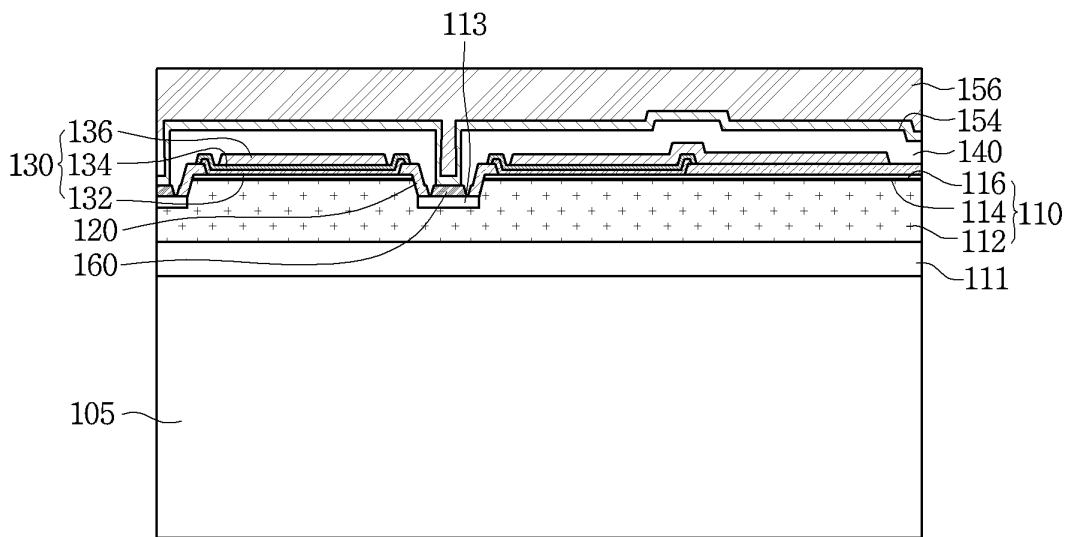
도면5



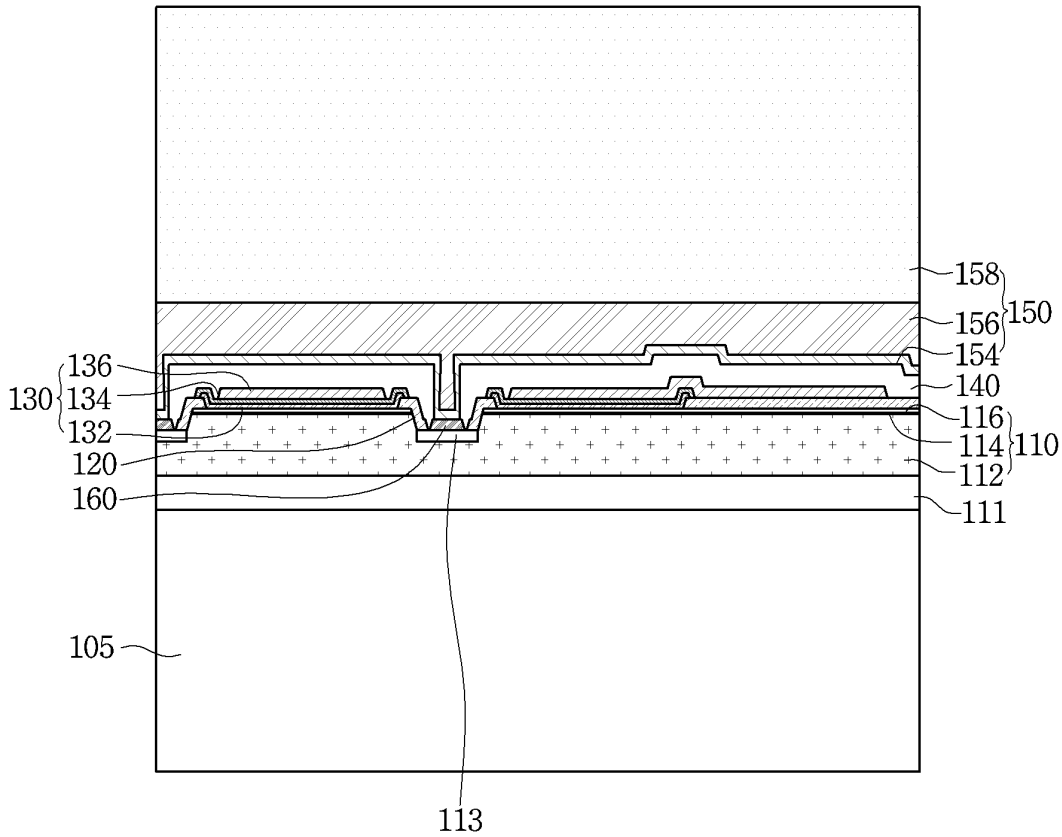
도면6



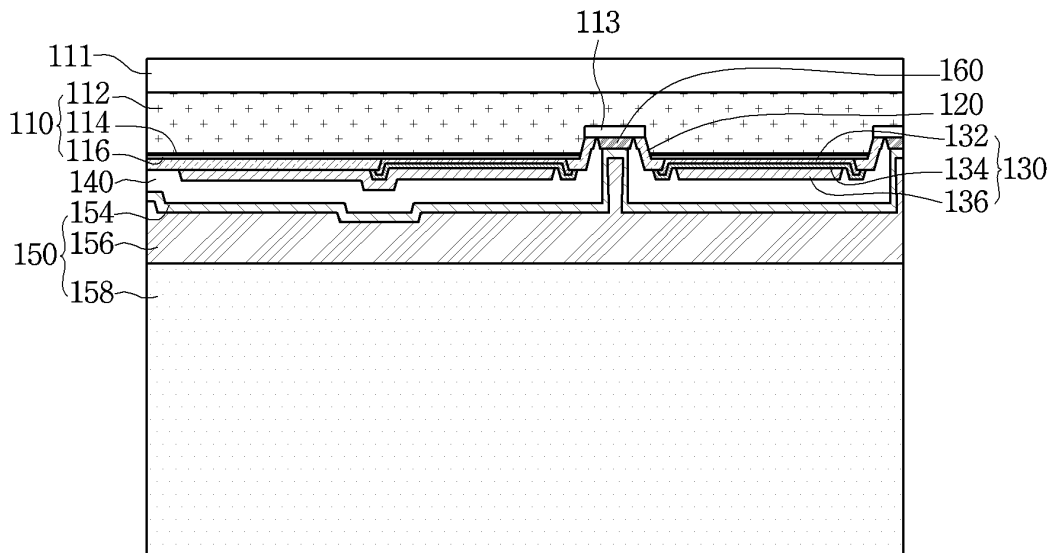
도면7



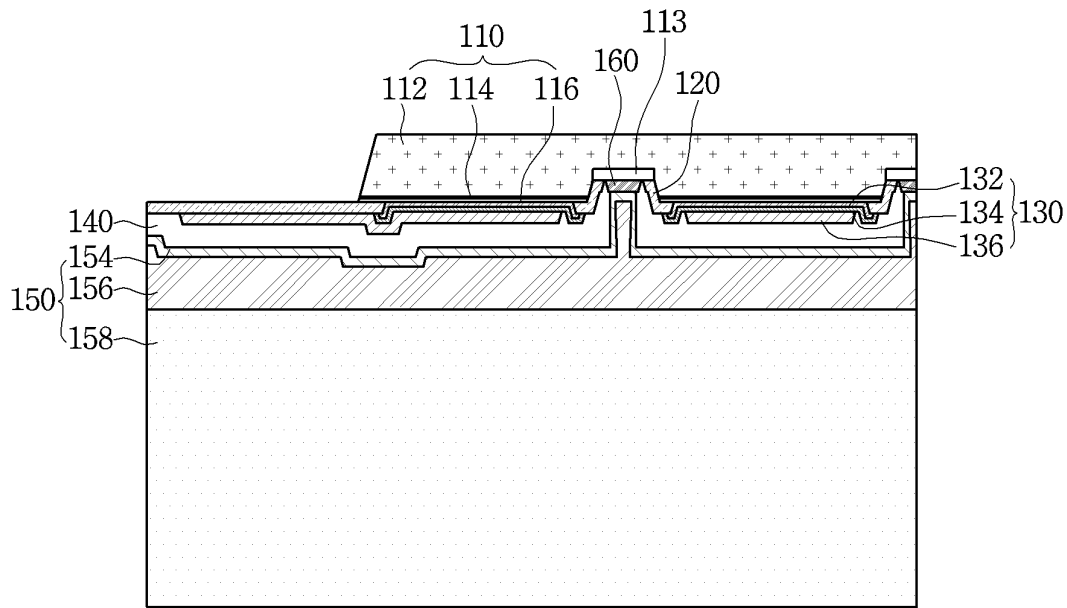
도면8



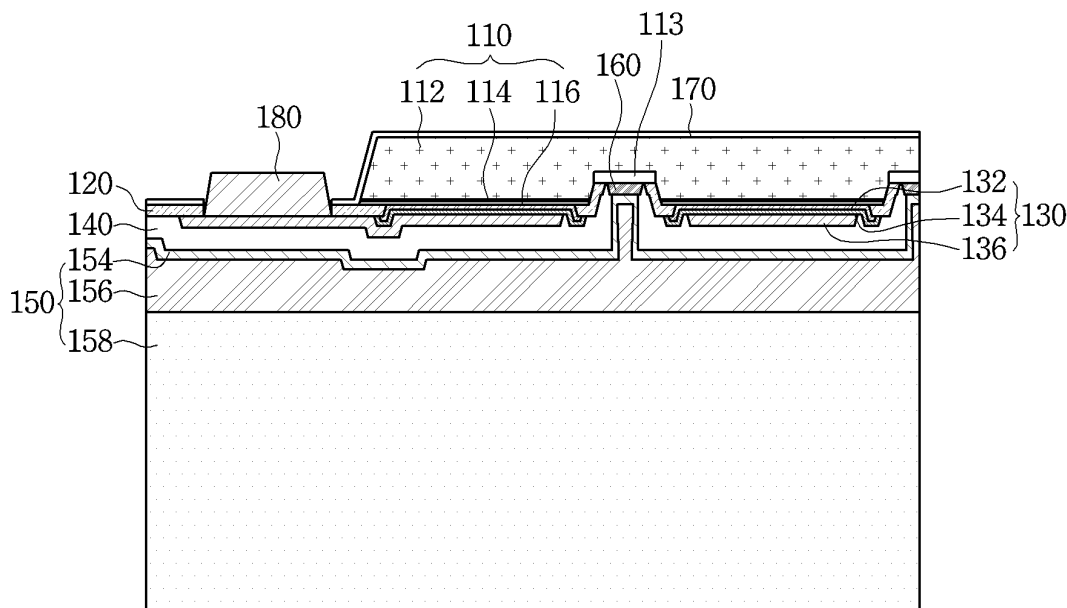
도면9



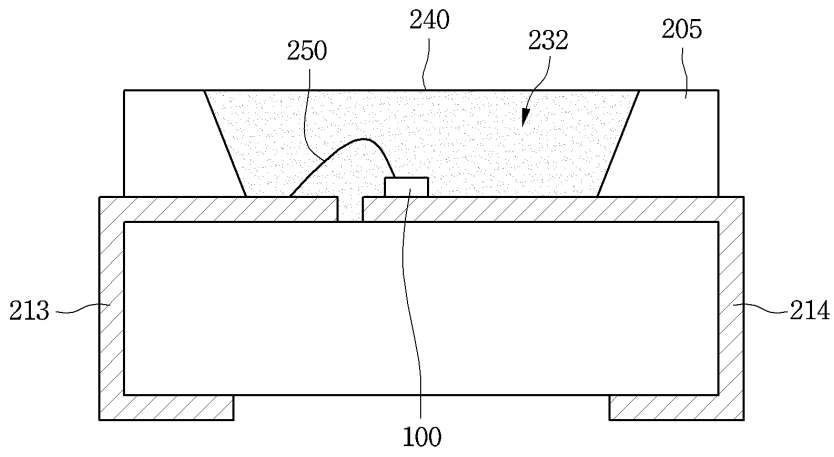
도면10



도면11



도면12



도면13

