

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015年6月4日(04.06.2015)



(10) 国際公開番号  
WO 2015/079808 A1

- (51) 国際特許分類:  
H01L 23/12 (2006.01) H01L 25/07 (2006.01)  
H01L 21/52 (2006.01) H01L 25/18 (2006.01)  
H01L 23/48 (2006.01)
- (21) 国際出願番号: PCT/JP2014/076902
- (22) 国際出願日: 2014年10月8日(08.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-248563 2013年11月29日(29.11.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 中西 宏之(NAKANISHI, Hiroyuki). 佐藤 知稔(SATO, Tomotoshi).
- (74) 代理人: 特許業務法人HARAKENZO WORLD PATENT & TRADEMA

R K (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

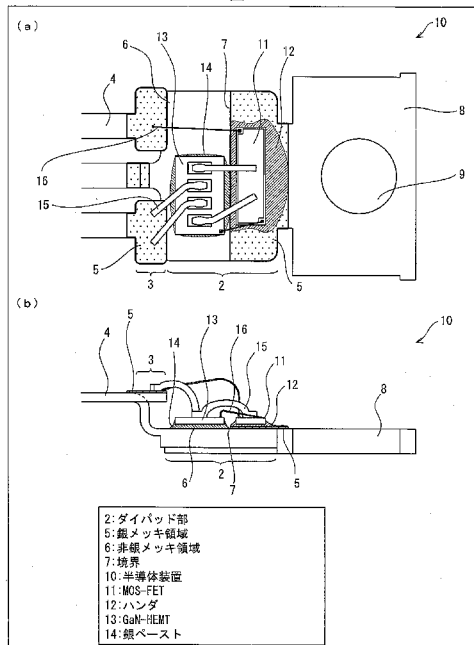
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図 2



(57) Abstract: This invention provides a semiconductor device that exhibits improved reliability and yield, wherein even in a situation in which a plurality of semiconductor elements are arranged in close proximity to each other on a die pad of limited size, said semiconductor elements do not become affixed to the die pad at an angle. Said semiconductor device contains a MOSFET (11) that is affixed to a given surface of a die pad (2) via solder (12) and a GaN HEMT (13) that is affixed to the same surface of the die pad (2) via a silver paste (14). In a planar view, either a non-silver-plated region (6) or a boundary between said non-silver-plated region (6) and a silver-plated region (5) is located between the MOSFET (11) and the GaN HEMT (13).

(57) 要約: 限られたサイズのダイパッド部上に、複数個の半導体デバイスが近接させて並べて配置する場合においても、半導体デバイスがダイパッド部に対し、傾斜した状態で固定されてしまうようなことが生じない、信頼性および歩留りが向上された半導体装置を提供する。ダイパッド部(2)の同一面上にハンダ(12)によって固定されたMOS-FET(11)と、ダイパッド部(2)の上記同一面上に銀ペースト(14)によって固定されたGaN-HEMT(13)と、を備え、銀メッキ領域(5)と非銀メッキ領域(6)との境界または、非銀メッキ領域(6)は、平面視において、MOS-FET(11)とGaN-HEMT(13)との間に位置する。

- 2 Die pad
- 5 Silver-plated region
- 6 Non-silver-plated region
- 7 Boundary
- 10 Semiconductor device
- 11 MOSFET
- 12 Solder
- 13 GaN HEMT
- 14 Silver paste

WO 2015/079808 A1

MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:  
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))  
KM, ML, MR, NE, SN, TD, TG).

## 明 細 書

発明の名称：半導体装置

### 技術分野

[0001] 本発明は、複数個の半導体デバイスを、ダイステージの同一平面上に固定した半導体装置に関する。

### 背景技術

[0002] これまでに、複数個の半導体デバイスを内蔵した様々な半導体装置、いわゆる半導体パッケージが提案されている。

[0003] 近年、その中でも、バンドギャップが大きく、ヘテロ接合による高い電子濃度を実現し得るGaN（窒素ガリウム）系パワーデバイスを備えた半導体装置が注目されている。

[0004] このようなGaN系パワーデバイスを備えた半導体装置の構造については、特許文献1に記載されており、具体的には、GaN系の高電子移動度トランジスタ（GaN-HEMT：GaN-High Electron Mobility Transistor）と、MOS型電界効果トランジスタ（MOS-FET）とが、何れもハンダペーストによって同一ダイステージ（以下、ダイパッド部と称する）上に固定され、互いにカスコード接続された半導体装置について記載されている。

[0005] 一方、GaN-HEMTとMOS-FETとのそれぞれを、異なるダイアタッチ材を用いて、同一ダイパッド部上に固定した半導体装置も提案されている。

[0006] 図9は、従来の半導体装置に用いられるリードフレーム100を示す図である。

[0007] 図9（a）は従来のリードフレーム100を示す上面図であり、図9（b）は従来のリードフレーム100を示す断面図である。

[0008] 図示されているように、リードフレーム100には、銀メッキが施されたダイパッド部102と、銀メッキが施されたインナーリード部103と、外部と接続するためのアウターリード部104と、フィン部108と、が備え

られている。そして、銀メッキが施された領域は、図中において、銀メッキ領域105として示しており、フィン部108には、放熱するためにねじ止めを行う用度の丸孔109が設けられている。

[0009] 図10は、GaN-HEMTとMOS-FETとのそれぞれを、異なるダイアタッチ材を用いて、図9に示すリードフレームに固定した従来の半導体装置150を示す図である。

[0010] 図10(a)は従来の半導体装置150を示す上面図であり、図10(b)は従来の半導体装置150を示す断面図である。

[0011] 図示されているように、従来の半導体装置150においては、MOS-FET111はハンダ112でダイパッド部102に固定されており、その隣にGaN-HEMT113が銀ペースト114でダイパッド部102に固定されている。

[0012] そして、ハンダ112は、Pb-Sn-Ag系の高融点ハンダであり、銀ペースト114は、銀のフィラーを含有した導電性のあるエポキシ系樹脂であって、ダイボンダを用いて、MOS-FET111とGaN-HEMT113とが、銀メッキが施されたダイパッド部102に接合される。

[0013] なお、ハンダ112より銀ペースト114を先に使用すると、ハンダ112の方が高融点（ダイボンド時にダイパッド部102を350℃程度に加熱）のため、銀ペースト114のエポキシ系樹脂が高熱で分解するため、先にハンダ112を用いてMOS-FET111を固定するのが一般的である。

[0014] また、回路構成にしたがって、MOS-FET111と、GaN-HEMT113と、インナーリード部103と、は、アルミ線115および金線116でワイヤーボンダを用いてワイヤボンディング接続されており、特に、大きな電流が流れる部分は300μm径のアルミ線115を、信号伝達のみで小さな電流しか流れないところは30μm径の金線116が採用されている。

[0015] そして、このような構成の場合、上述したように、先にハンダ112でMOS-FET111をダイボンドすることとなるが、MOS-FET111

の下に未充填部分が生じ、接合不良、熱抵抗の増大、吸湿による腐食など信頼性が低下してしまうことを考慮すると、ある一定の拡がりハンダ112に持たせなければならない。

[0016] 図11(a)は、リードフレームが複数個多連状態となっているリードフレーム200に対して、所定パターンに加工前の銀メッキ領域120がどの位置にあるかを示す図であり、図11(b)は、図9に示すリードフレーム100が複数個多連状態となっているリードフレーム200を示す図である。

[0017] 多連状態となっているリードフレーム200においては、一般的には、Cu系合金または、Fe系合金の金属を型で打ち抜く前に、図11(a)に図示されている所定パターンに加工前の銀メッキ領域120に銀メッキを行った後、Cu系合金または、Fe系合金の金属と、所定パターンに加工前の銀メッキ領域120とを、一緒に型で打ち抜き、図11(b)に図示されている銀メッキ領域105のパターンを有するリードフレーム200を得ることができる。なお、図11(a)においては、型で打ち抜いた後のCu系合金または、Fe系合金の金属からなるリードフレーム200に対して、どの領域に銀メッキが行われるかを相対的に示すため、型で打ち抜いた後のCu系合金または、Fe系合金の金属に対して、所定パターンに加工前の銀メッキ領域120を図示しているが、実際、銀メッキが行われる段階においては、Cu系合金または、Fe系合金の金属は型で打ち抜かれてない状態である。

[0018] なお、Cu系合金または、Fe系合金の金属を型で打ち抜いて所望のパターンを形成する代わりに、化学的にエッチングを行い、Cu系合金または、Fe系合金の金属を所望のパターンに形成する場合には、上記化学的エッチング時に、銀メッキ領域が影響を受けるのを避けるため、上記化学的エッチング後に、銀メッキを行うことが好ましい。

[0019] 図12は、図10に示す半導体装置150の外観を示す図である。

[0020] 図12(a)は半導体装置150の外観の上面図であり、図12(b)は半導体装置150の外観の側面図である。

[0021] 半導体装置150は、TO-220と呼ばれるもので、半導体デバイスのパッケージに用いられ、特に、パワー系デバイスにもよく用いられている。

[0022] 図示されているように、半導体装置150の外観は、外部と接続するためのアウターリード部104と、放熱用にねじ止めするための丸孔109を設けたフィン部108と、半導体デバイスを保護する封止部117とで構成されている。

## 先行技術文献

## 特許文献

[0023] 特許文献1：日本国公開特許公報「特開2013-153027号」公報（2013年8月8日公開）

## 発明の概要

### 発明が解決しようとする課題

[0024] しかしながら、上記特許文献1に記載されている半導体装置の構成においては、GaN-HEMTとMOS-FETとは、同一ダイパッド上に、ハンダによって固定されている。

[0025] したがって、限られたダイパッド上の領域に、GaN-HEMTとMOS-FETとの距離を極力近づけて並べて配置する場合、GaN-HEMTを固定するためのハンダとMOS-FETを固定するためのハンダとが、相互に混ざり合い、いわゆるハンダブリッジが形成されてしまい、GaN-HEMTの固定に必要なハンダの量と、MOS-FETの固定に必要なハンダ量とを、それぞれ適切に制御できなくなってしまう。

[0026] よって、傾斜を生じさせずに、GaN-HEMTおよびMOS-FETをダイステージ上に固定するのは困難となってしまう。

[0027] そして、図10に示す従来の半導体装置150においては、図10(b)に図示されているように、ハンダ112の拡がりにより、ハンダ112の上に銀ペースト114が乗り上がった領域が発生してしまい、GaN-HEMT113がダイパッド部102に対し、傾斜した状態で固定されてしまうとい

う問題がある。

[0028] また、硬化したハンダ 1 1 2 の上で硬化した銀ペースト 1 1 4 は、その界面での密着性が著しく低く、温度変化による各材料の熱膨張係数の差から生じるパッケージ全体の歪みによる応力によって剥離しやすいという問題も生じる。

[0029] それから、Ga N-HEMT 1 1 3 がダイパッド部 1 0 2 に対し、傾斜した状態で固定されると、その後に形成されるアルミ線 1 1 5 や金線 1 1 6 が緩慢に接続されたり、不着になったりすることもある。

[0030] これらの問題は、半導体デバイス間の距離を離せば、回避できるが、ダイパッド部のサイズは限られており、現実的に半導体デバイス間の距離を所定以上に離すことは困難である。

[0031] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、限られたサイズのダイパッド部上に、複数個の半導体デバイスを近接させて並べて配置する場合においても、半導体デバイスがダイパッド部に対し、傾斜した状態で固定されてしまうようなことが生じない、信頼性および歩留りが向上された半導体装置を提供することにある。

### 課題を解決するための手段

[0032] 本発明の半導体装置は、上記課題を解決するために、複数個の半導体デバイスを含む半導体装置であって、同一面上に、金属メッキされた第 1 の領域と、金属メッキされていない第 2 の領域とが形成されたダイパッド部と、上記ダイパッド部の上記同一面上に第 1 のダイアタッチ材によって固定された第 1 の半導体デバイスと、上記ダイパッド部の上記同一面上に第 2 のダイアタッチ材によって固定された第 2 の半導体デバイスと、を備え、上記第 1 の領域と上記第 2 の領域との境界または、上記第 2 の領域は、平面視において、上記第 1 の半導体デバイスと上記第 2 の半導体デバイスとの間に位置することを特徴としている。

[0033] 上記構成によれば、上記第 1 の領域と上記第 2 の領域との境界または、上記第 2 の領域は、平面視において、上記第 1 の半導体デバイスと上記第 2 の

半導体デバイスとの間に位置するようになっているので、第1のダイアタッチ材および第2のダイアタッチ材の一方が他方に乗り上がった領域が形成されたり、相互に混ざり合う領域が形成されるのを抑制できる。

[0034] したがって、限られたサイズのダイパッド部上に、複数個の半導体デバイスを近接させて並べて配置する場合においても、半導体デバイスがダイパッド部に対し、傾斜した状態で固定されてしまうようなことが生じないので、信頼性および歩留りが向上された半導体装置を実現できる。

### 発明の効果

[0035] 本発明の半導体装置においては、限られたサイズのダイパッド部上に、複数個の半導体デバイスを近接させて並べて配置する場合においても、半導体デバイスがダイパッド部に対し、傾斜した状態で固定されてしまうようなことが生じないので、信頼性および歩留りを向上できる。

### 図面の簡単な説明

- [0036] [図1]実施の形態1の半導体装置のリードフレームを示す図である。  
[図2]実施の形態1の半導体装置を示す図である。  
[図3]リードフレームが複数個多連状態となっているリードフレームに対して、ストライプメッキ法によって形成される所定間隔離されたストライプ状の2つの銀メッキ領域がどの位置にあるかを示す図である。  
[図4]実施の形態2の半導体装置のリードフレームを示す図である。  
[図5]実施の形態2の半導体装置を示す図である。  
[図6]図4に図示したリードフレームのダイパッド部上に、ダイアタッチ材としてハンダのみを用いて、MOS-FETとGaN-HEMTとを固定した半導体装置を示す図である。  
[図7]リードフレームが複数個多連状態となっているリードフレームに対して、ストライプメッキ法によって形成される所定間隔離されたストライプ状の2つの銀メッキ領域がどの位置にあるかを示す図である。  
[図8]実施の形態3の半導体装置のリードフレームを示す図である。  
[図9]従来の半導体装置に用いられるリードフレームを示す図である。



[図10]図9に示すリードフレームを用いた従来の半導体装置を示す図である。

[図11] (a) は、リードフレームが複数個多連状態となっているリードフレームに対して、銀メッキ領域がどの位置にあるかを示す図であり、(b) は、図9に示すリードフレームが複数個多連状態となっているリードフレームを示す図である。

[図12]図10に示す従来の半導体装置の外観を示す図である。

### 発明を実施するための形態

[0037] 以下、図面に基づいて本発明の実施の形態について詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などはあくまで一実施形態に過ぎず、これらによってこの発明の範囲が限定解釈されるべきではない。

[0038] 本発明の実施の形態を図1～図8に基づいて説明すれば以下のとおりである。

[0039] [実施の形態1]

本発明の一実施形態について図1～図3に基づいて説明すれば、以下のとおりである。

[0040] (リードフレーム)

図1は、本実施の形態の半導体装置10のリードフレーム1を示す図である。

[0041] 図1(a)は、リードフレーム1を示す上面図であり、図1(b)は、リードフレーム1を示す断面図である。

[0042] 図示されているように、リードフレーム1には、ダイパッド部2と、インターリード部3と、外部と接続するためのアウターリード部4と、フィン部8と、が備えられており、フィン部8には、放熱用にねじ止めするための丸孔9が設けられている。

[0043] そして、ダイパッド部2においては、銀メッキが施された領域である銀メッキ領域5と、銀メッキが施されていない領域である非銀メッキ領域6と、

が存在する。

[0044] なお、本実施の形態においては、厚さ約1.27mmのダイパッド部2を用いており、銀メッキは厚さ約5 $\mu$ mで行っているが、ダイパッド部2の厚さおよび銀メッキの厚さはこれに限定されることはなく、適宜設定すればよい。

[0045] 具体的に、銀メッキが施された領域である銀メッキ領域5は、図1(a)に図示されているように、ダイパッド部2の一部と、インナーリード部3とに分かれているが、このような銀メッキは、詳しくは後述する従来から行われている、いわゆるストライプメッキと呼ばれる方法を用いて、所定間隔をおいて、ストライプ状に銀メッキ領域を形成することにより、実現することができる。

[0046] したがって、ストライプ状に銀メッキを形成する領域が違うこと以外は、従来の方法と同じであるため、所定間隔をおいて、ストライプ状に銀メッキ領域を形成することの手間は、従来と同じである。

[0047] なお、本実施の形態においては、ストライプメッキと呼ばれる方法を用いて、銀メッキ領域5を形成しているが、これに限定されることはなく、他の方法を用いて、銀メッキ領域5を形成してもよい。

[0048] なお、本実施の形態においては、銀メッキを用いているが、これに限定されることはなく、他の金属メッキを用いることもできるのは勿論である。

[0049] (部分的に銀メッキされたダイパッド部を備えた半導体装置)

以下、図2に基づいて、ダイボンダを用いて、MOS-FET11とGa N-HEMT13とが、ダイパッド部2にどのように接合されているかと、ワイヤーボンダを用いて、MOS-FET11と、Ga N-HEMT13と、インナーリード部3とが、アルミ線15および金線16で、どのようにワイヤボンディング接続されているかについて説明する。

[0050] 図2(a)は、半導体デバイスを保護する封止部で覆う前の半導体装置10を示す上面図であり、図2(b)は、半導体デバイスを保護する封止部で覆う前の半導体装置10を示す断面図である。

- [0051] 図示されているように、半導体装置10においては、MOS-FET11はハンダ12（熱伝導率：約40W/m・K）でダイパッド部2に固定されており、その隣にGaN-HEMT13が銀ペースト14（熱伝導率：約10W/m・K）でダイパッド部2に固定されている。
- [0052] より具体的には、ハンダ12はPb-Sn-Ag系の高融点ハンダであり、銀ペースト（樹脂系接着剤）14は銀のフィラーを含有した導電性のあるエポキシ系樹脂であって、ダイボンダを用いて、MOS-FET11はダイパッド部2の銀メッキ領域5上にハンダ12で固定され、GaN-HEMT13はダイパッド部2の非銀メッキ領域6上に銀ペースト14で固定されている。
- [0053] そして、図示されているように、ダイパッド部2における、銀メッキ領域5と非銀メッキ領域6との境界7が、平面視において、MOS-FET11とGaN-HEMT13との間に位置する。
- [0054] このような構成であるため、MOS-FET11とGaN-HEMT13との下に未充填部分が生じ、接合不良、熱抵抗の増大、吸湿による腐食など信頼性が低下してしまうことを考慮し、ハンダ12および銀ペースト14に、ある一定の拡がりを持たせた場合でも、ハンダ12および銀ペースト14の一方が他方に乗り上がった領域が形成されるのを抑制できる。
- [0055] すなわち、図2に図示されているように、ハンダ12は確かに一定の拡がりを示すが、銀メッキ領域5と非銀メッキ領域6との境界7に沿ってハンダ12は止まり、銀メッキ領域5のエッジ部で流れ出しは発生しない。
- [0056] 一方、銀ペースト14も一定の拡がりを示すが、銀メッキ領域5の側面（本実施の形態の場合には厚さ約5μm）によって、銀ペースト14の拡がり止まり、銀ペースト14は銀メッキ領域5に入り込まない。
- [0057] したがって、限られたサイズのダイパッド部2上に、MOS-FET11とGaN-HEMT13とを近接させて並べて配置する場合においても、MOS-FET11とGaN-HEMT13とが、ダイパッド部2に対し、傾斜した状態で固定されてしまうようなことが生じないので、その後形成される

アルミ線 15 や金線 16 が緩慢に接続されたり、不着になったりする現象が生じるのを回避することができる。よって、半導体装置 10 の信頼性および歩留りを向上させることができる。

[0058] さらに、硬化したハンダ 12 の上に、銀ペースト 14 が乗り上がり硬化した場合には、その界面の密着性が著しく低く、温度変化による各材料の熱膨張係数の差から生じるパッケージ全体の歪みによる応力で、ハンダ 12 の上に、銀ペースト 14 が乗り上がった部分で剥離現象が生じやすいという問題が生じるが、本実施の形態の半導体装置 10 の構成によれば、ハンダ 12 の上に、銀ペースト 14 が乗り上がった部分が形成されるのを抑制できるので、このような剥離現象が生じるのを回避でき、半導体装置 10 の信頼性および歩留りを向上させることができる。

[0059] なお、本実施の形態においては、2つの半導体デバイス（MOS-FET 11 と GaN-HEMT 13）を近接させて並べて配置する場合を例に挙げて説明しているが、これに限定されることはなく、本発明は、複数個の半導体デバイスを近接させて並べて配置する場合に適用可能である。

[0060] なお、本実施の形態においては、MOS-FET 11 と GaN-HEMT 13 との間の距離を 0.5 mm 程度にまで近接させて配置しており、この場合においても、信頼性および歩留りが向上された半導体装置 10 を実現することができる。

[0061] そして、銀ペースト 14 を用いる工程である GaN-HEMT 13 をダイパッド部 2 へ固定する工程を、ハンダ 12 を用いる工程である MOS-FET 11 をダイパッド部 2 へ固定する工程より、先に行うと、ハンダ 12 の方が高融点のため、MOS-FET 11 をダイパッド部 2 にダイボンドする際にダイパッド部 2 を 350℃程度に高温加熱する必要が生じるが、この高温加熱により、先にダイパッド部 2 上に形成されている銀ペースト 14 のエポキシ系樹脂が分解してしまうため、本実施の形態においては、ハンダ 12 を用いる工程である MOS-FET 11 をダイパッド部 2 へ固定する工程を、銀ペースト 14 を用いる工程である GaN-HEMT 13 をダイパッド部 2 へ固

定する工程より、先に行った。

[0062] (GaN-HEMT (GaN系パワーデバイス))

シリコン基板上にGaN系半導体膜をエピタキシャル成長させたウエハをパワーデバイスに適用する場合には、大電流、高電圧を印加することから、シリコン基板を薄くして、かつ、ダイアタッチ材は熱伝導率の高いハンダを用いて放熱性を上げるのが一般的である。

[0063] しかしながら、GaN-HEMTをハンダでダイパッドに接合するには、GaN-HEMTの裏面をメタライズしてハンダが濡れるようにしておく必要が生じ、製造プロセスおよび製造コストの増加を招くこととなる。

[0064] そこで、本実施の形態においては、GaN-HEMT 13の裏面をメタライズする工程を省き、製造プロセスの簡略化と製造コストダウンを実現するため、GaN-HEMT 13 (GaN系パワーデバイス)のベースシリコン部をゲート電極とする構成を用いた。

[0065] GaN-HEMTのベースシリコン部をゲート電極とした場合、GaN-HEMTの裏面側と、GaN-HEMTの裏面側に対向するダイパッド部との間には、ほとんど電流は流れないので、GaN-HEMTとダイパッド部との固定(接合)に低抵抗のダイアタッチ材を用いなくてもエネルギー損失はほとんど生じない。

[0066] したがって、本実施の形態においては、GaN-HEMT 13とダイパッド部2とを固定するダイアタッチ材として、ハンダのような低抵抗の材料を必要としないことから、銀ペースト14を用いている。

[0067] よって、本実施の形態の半導体装置10においては、GaN-HEMT 13の裏面をメタライズする工程を省くことができ、製造プロセスの簡略化と製造コストダウンを実現している。

[0068] なお、本実施の形態において、ラテラル型のGaN系の高電子移動度トランジスタであるGaN-HEMT 13を用いているが、これに限定されることはない。

[0069] (MOS-FET)

上記同様に、シリコン基板上に形成されたMOS-FETについても、大電流、高電圧を印加することから、シリコン基板を薄くして、かつ、ダイアタッチ材は熱伝導率の高いハンダを用いて放熱性を上げるのが一般的である。

[0070] しかしながら、MOS-FETの場合は、GaN-HEMTの場合とは異なり、MOS-FETの裏面側と、MOS-FETの裏面側に対向するダイパッド部との間には、大きな電流が流れるため、MOS-FETとダイパッド部との固定（接合）には、低抵抗のダイアタッチ材を用いてエネルギー損失を抑える必要が生じる。したがって、本実施の形態においては、MOS-FET 11とダイパッド部2とを固定するダイアタッチ材として、低抵抗材料であるハンダ12を用いている。

[0071] 以上のように、本実施の形態においては、MOS-FET 11とダイパッド部2とを固定するダイアタッチ材としては、低抵抗材料であるハンダ12を、GaN-HEMT 13とダイパッド部2とを固定するダイアタッチ材としては、銀ペースト14を、それぞれ用いているが、これに限定されることなく、MOS-FET 11およびGaN-HEMT 13をダイパッド部2に固定するダイアタッチ材として、ハンダ12および銀ペースト14の何れか一方のみを用いることもできる。

[0072] なお、MOS-FET 11およびGaN-HEMT 13をダイパッド部2に固定するダイアタッチ材として、ハンダ12のみを用いる場合には、本実施の形態の場合と比較して、GaN-HEMT 13の裏面をメタライズする工程が追加されるが、一つのダイアタッチ材を用いることができるというメリットがある。この構成については、詳しくは、実施の形態2で説明する。

[0073] また、MOS-FET 11およびGaN-HEMT 13をダイパッド部2に固定するダイアタッチ材として、銀ペースト14のみを用いる場合には、本実施の形態の場合と比較して、MOS-FET 11の裏面をメタライズする工程を省くことができるというメリットと、一つのダイアタッチ材を用いることができるというメリットとがある。しかし、用いる基板の材質や厚さや

その他の放熱性を確保できる構成を採用して、MOS-FET 11の放熱性を確保する必要が生じる。

[0074] なお、本実施の形態において、縦型のMOS型電界効果トランジスタであるMOS-FET 11を用いているが、これに限定されることはない。

[0075] (ワイヤボンディング)

図2に図示されているように、本実施の形態の半導体装置10においては、その回路構成にしたがって、MOS-FET 11と、GaN-HEMT 13と、インナーリード部3とは、アルミ線15および金線16でワイヤーボンダを用いてワイヤボンディング接続されており、特に、大きな電流が流れる部分は、300 $\mu$ m径のアルミ線15を、信号伝達のみで小さな電流しか流れないところは30 $\mu$ m径の金線16を採用している。

[0076] (封止部)

そして、図2には図示していないが、本実施の形態の半導体装置10においては、ダイパッド部2と、MOS-FET 11と、GaN-HEMT 13と、インナーリード部3と、アルミ線15と、金線16とを覆うように、封止部が設けられ、半導体装置10内部の半導体デバイスを保護するようになっている。

[0077] (多連状態のリードフレーム)

図3は、リードフレームが複数個多連状態となっているリードフレーム20に対して、ストライプメッキ法によって形成される所定間隔離されたストライプ状の2つの銀メッキ領域17がどの位置にあるかを示す図である。

[0078] 図3においては、型で打ち抜いた後のリードフレーム20に対して、どの領域に銀メッキが行われるかを相対的に示すため、型で打ち抜いた後のリードフレーム20に対して、所定間隔離されたストライプ状の2つの銀メッキ領域17を図示しているが、実際、銀メッキが行われる段階においては、リードフレーム20は型で打ち抜かれてない状態である。

[0079] それから、型で打ち抜かれてない状態のリードフレーム20と、ストライプ状の2つの銀メッキ領域17とを、型で打ち抜き、図1(a)に図示され

ているような銀メッキ領域5のパターンを得ることができる。

[0080] なお、リードフレーム20を型で打ち抜いて所望のパターンを形成する代わりに、化学的にエッチングを行い、所望のパターンに形成する場合には、上記化学的エッチング時に、銀メッキ領域が影響を受けるのを避けるため、上記化学的エッチング後に、銀メッキを行うことが好ましい。

[0081] そして、本実施の形態においては、図1(a)に図示されているような銀メッキ領域5のパターンを有する多連状態のリードフレーム20を用いて、MOS-FET11およびGaN-HEMT13をダイパッド部2に固定する工程と、ワイヤボンディング工程と、封止部を形成する工程と、を行った後、図2に示す形状に切り取り、一つの多連状態のリードフレーム20から複数個の半導体装置10を得ている。

[0082] なお、本実施の形態においては、ストライプメッキ法を用いることにより、生産性の向上を図るため、多連状態のリードフレーム20を用いているが、これに限定されることはなく、図1に図示されているような形状のリードフレームを用いて、半導体装置10を製造することもできる。

[0083] [実施の形態2]

次に、図4から図7に基づいて、本発明の実施の形態2について説明する。本実施の形態においては、ダイパッド部2上に形成される銀メッキ領域5の形状が、上記の実施の形態1とは異なる。その他の構成については実施の形態1において説明したとおりである。説明の便宜上、上記の実施の形態1の図面に示した部材と同じ機能を有する部材については、同じ符号を付し、その説明を省略する。

[0084] 図4は、本実施の形態の半導体装置40または半導体装置50のリードフレーム30を示す図である。

[0085] 図4(a)は、リードフレーム30を示す上面図であり、図4(b)は、リードフレーム30を示す断面図である。

[0086] 図示されているように、リードフレーム30においては、ダイパッド部2上に、銀メッキ領域5と銀メッキ領域5との間に所定幅を有する非銀メッキ



領域6が形成されるように、銀メッキが施される。

- [0087] 図5(a)は、半導体デバイスを保護する封止部で覆う前の半導体装置40を示す上面図であり、図5(b)は、半導体デバイスを保護する封止部で覆う前の半導体装置40を示す断面図である。
- [0088] 図示されているように、ダイパッド部2において、銀メッキ領域5と銀メッキ領域5との間に形成された所定幅を有する非銀メッキ領域6は、平面視において、MOS-FET11とGaN-HEMT13との間に位置する。
- [0089] そして、MOS-FET11とGaN-HEMT13とは、非銀メッキ領域6によって分離された2つの銀メッキ領域5のそれぞれに固定される。
- [0090] このような構成であるため、MOS-FET11とGaN-HEMT13との下に未充填部分が生じ、接合不良、熱抵抗の増大、吸湿による腐食など信頼性が低下してしまうことを考慮し、ハンダ12および銀ペースト14に、ある一定の拡がりを持たせた場合でも、ハンダ12および銀ペースト14の一方が他方に乗り上がった領域が形成されるのを抑制できる。
- [0091] すなわち、図5に図示されているように、ハンダ12および銀ペースト14は確かに一定の拡がりを示すが、銀メッキ領域5と非銀メッキ領域6との2つの境界に沿って、ハンダ12および銀ペースト14は止まり、銀メッキ領域5のエッジ部（非銀メッキ領域6）でハンダ12および銀ペースト14の流れ出しは発生しない。
- [0092] したがって、限られたサイズのダイパッド部2上に、MOS-FET11とGaN-HEMT13とを近接させて並べて配置する場合においても、MOS-FET11とGaN-HEMT13とが、ダイパッド部2に対し、傾斜した状態で固定されてしまうようなことが生じないので、その後に形成されるアルミ線15や金線16が緩慢に接続されたり、不着になったりする現象が生じるのを回避することができる。よって、半導体装置40の信頼性および歩留りを向上させることができる。
- [0093] さらに、硬化したハンダ12の上に、銀ペースト14が乗り上がり硬化した場合には、その界面の密着性が著しく低く、温度変化による各材料の熱膨

張係数の差から生じるパッケージ全体の歪みによる応力で、ハンダ12の上に、銀ペースト14が乗り上がった部分で剥離現象が生じやすいという問題が生じるが、本実施の形態の半導体装置40の構成によれば、ハンダ12の上に、銀ペースト14が乗り上がった部分が形成されるのを抑制できるので、このような剥離現象が生じるのを回避でき、半導体装置40の信頼性および歩留りを向上させることができる。

[0094] なお、本実施の形態においては、2つの半導体デバイス（MOS-FET 11とGa N-HEMT 13）を近接させて並べて配置する場合を例に挙げて説明しているが、これに限定されることはなく、本発明は、複数個の半導体デバイスを近接させて並べて配置する場合に適用可能である。

[0095] なお、本実施の形態においては、MOS-FET 11とGa N-HEMT 13との間の距離を0.5mm程度にまで近接させて配置しており、この場合においても、信頼性および歩留りが向上された半導体装置40を実現することができる。

[0096] （ダイアタッチ材としてハンダのみを用いる例）

上述した本実施の形態においては、異なる2種類のダイアタッチ材（ハンダ12と銀ペースト14）を用いる場合について説明したが、これに限定されることはなく、ダイアタッチ材としてハンダのみを用いることもできる。

[0097] 図6は、図4（a）に図示したリードフレーム30のダイパッド部2上に、ダイアタッチ材としてハンダのみを用いて、MOS-FET 11とGa N-HEMT 13とを固定した半導体装置50を示す図である。

[0098] 図示されているように、MOS-FET 11とGa N-HEMT 13とは、非銀メッキ領域6によって分離された2つの銀メッキ領域5のそれぞれに、ハンダ12およびハンダ18で固定される。

[0099] このような半導体装置50においては、Ga N-HEMT 13の裏面にも、ハンダ接合を行うためのメタライズが必要となり、その分、製造コストが上昇するが、ダイアタッチ材をハンダで共通化することによる工数低減もあり、総合的には製造コストの低減を図ることができる。

- [0100] そして、図示されているように、半導体装置50のダイパッド部2において、銀メッキ領域5と銀メッキ領域5との間に形成された所定幅を有する非銀メッキ領域6は、平面視において、MOS-FET11とGa N-HEMT13との間に位置するので、銀メッキ領域5と非銀メッキ領域6との2つの境界に沿って、ハンダ12およびハンダ18は止まり、銀メッキ領域5のエッジ部（非銀メッキ領域6）でハンダ12およびハンダ18の流れ出しは発生しない。
- [0101] したがって、ハンダ12およびハンダ18が相互に混ざり合い、いわゆるハンダブリッジが形成されるのを抑制することができる。
- [0102] ハンダブリッジが形成されてしまうと、Ga N-HEMT13の固定に必要なハンダの量と、MOS-FET11の固定に必要なハンダ量とを、それぞれ適切に制御できなくなってしまい、傾斜を生じさせずに、Ga N-HEMT13およびMOS-FET11をダイパッド部2上に固定するのは困難となってしまう。
- [0103] 半導体装置50においては、ハンダブリッジが形成されてしまうのを抑制できることから、ダイパッド部2上に、Ga N-HEMT13およびMOS-FET11を、傾斜を生じさせずに、固定することができる。
- [0104] （多連状態のリードフレーム）
- 図7は、リードフレームが複数個多連状態となっているリードフレーム60に対して、ストライプメッキ法によって形成される所定間隔離されたストライプ状の2つの銀メッキ領域17がどの位置にあるかを示す図である。
- [0105] 図7においては、型で打ち抜いた後のリードフレーム60に対して、どの領域に銀メッキが行われるかを相対的に示すため、型で打ち抜いた後のリードフレーム60に対して、所定間隔離されたストライプ状の2つの銀メッキ領域17を図示しているが、実際、銀メッキが行われる段階においては、リードフレーム60は型で打ち抜かれてない状態である。
- [0106] それから、型で打ち抜かれてない状態のリードフレーム60と、ストライプ状の2つの銀メッキ領域17とを、型で打ち抜き、図4（a）に図示され

ているような銀メッキ領域5のパターンを得ることができる。

[0107] なお、リードフレーム60を型で打ち抜いて所望のパターンを形成する代わりに、化学的にエッチングを行い、所望のパターンに形成する場合には、上記化学的エッチング時に、銀メッキ領域が影響を受けるのを避けるため、上記化学的エッチング後に、銀メッキを行うことが好ましい。

[0108] [実施の形態3]

次に、図8に基づいて、本発明の実施の形態3について説明する。本実施の形態においては、ダイパッド部2上に形成される銀メッキ領域5の形状が、上記の実施の形態1および2とは異なる。その他の構成については実施の形態1および2において説明したとおりである。説明の便宜上、上記の実施の形態1および2の図面に示した部材と同じ機能を有する部材については、同じ符号を付し、その説明を省略する。

[0109] 図8は、本実施の形態の半導体装置のリードフレーム70を示す図である。

[0110] 図8(a)は、リードフレーム70を示す上面図であり、図8(b)は、リードフレーム70を示す断面図である。

[0111] 図示されているように、ダイパッド部2には、銀メッキ領域5と非銀メッキ領域6とが存在する。

[0112] ダイパッド部2の銀メッキ領域5は、後から固定されるMOS-FET(未図示)のサイズより一回り大きい、すなわち、MOS-FET(未図示)の各辺から例えば、0.3mm程度離れた位置まで、略長方形形状に形成されている。

[0113] そして、ダイパッド部2における、銀メッキ領域5と非銀メッキ領域6との境界7aは、平面視において、後から固定されるMOS-FETとGaN-HEMTとの間に位置し、MOS-FETはダイパッド部2の銀メッキ領域5に、GaN-HEMTはダイパッド部2の非銀メッキ領域6に、ダイアタッチ材によって固定される。

[0114] なお、MOS-FETとGaN-HEMTとを固定する際に用いられるダイ

アタッチ材としては、異なる2種類（例えば、ハンダと銀ペースト）または共通化された1種類（例えば、ハンダおよび銀ペーストの何れか一方）を用いることができる。

[0115] なお、MOS-FETおよびGa N-HEMTがダイパッド部2へ固定された後の模様は、ダイパッド部2における、銀メッキ領域5の形状が異なる以外は、実施の形態1と同じであるため、ここでは図示を省略する。

[0116] このような構成であるため、MOS-FETを固定する際に用いられるダイアタッチ材は、銀メッキ領域5と非銀メッキ領域6との境界7aに沿って止まり、銀メッキ領域5のエッジ部で流れ出しは発生しない。

[0117] 一方、Ga N-HEMTとを固定する際に用いられるダイアタッチ材は、銀メッキ領域5の側面（本実施の形態の場合には厚さ約5 $\mu$ m）によって、その拡がり止まり、銀メッキ領域5に入り込まない。

[0118] したがって、信頼性および歩留りが向上された半導体装置を実現することができる。

[0119] なお、上述した実施の形態1および2においては、安価なストライプメッキを採用した場合を例に挙げて説明したが、本実施の形態においては、マスクングによる部分メッキの手法により、図8(a)に図示された銀メッキ領域5のパターンを得ている。

[0120] マスクングによる部分メッキの手法を用いると、相対的に製造コストが高価となるが、より緻密で、かつ、位置ずれの少ないダイボンドを行うことが可能となる。さらには、Ga N-HEMT（Ga N系パワーデバイス）と異なる方向に、第3の半導体デバイスを隣接配置する場合などにおいても、上述した実施の形態1および3と同様の効果を得ることができる。

[0121] 上述した実施の形態1から3においては、半導体パッケージとして、トランスファーマールド成型を用いたTO-220と呼ばれるものを例に挙げて説明したが、本発明は他の半導体パッケージや半導体モジュールにも適用できるのは勿論である。

[0122] また、上述した実施の形態1から3においては、Ga N-HEMT（Ga N

系パワーデバイス)とMOS-FETとの組み合わせ、特に、これらがカスコード接続された構成を例に挙げて説明したが、本発明は他の半導体デバイス並びにそれらの組合せに対しても適用できる。

[0123] そして、上述した実施の形態1から3においては、GaN-HEMT (GaN系パワーデバイス)のダイアタッチ材として、ハンダまたは、銀ペーストを用いた場合を例に挙げて説明したが、GaN-HEMT (GaN系パワーデバイス)が、ラテラル型のデバイスの場合は、その裏面が絶縁されていても問題ないので、銀などの導電体の含有にこだわる必要はなく、絶縁性のペーストを用いても構わない。

[0124] [まとめ]

本発明の態様1における半導体装置は、複数個の半導体デバイスを含む半導体装置であって、同一面上に、金属メッキされた第1の領域と、金属メッキされていない第2の領域とが形成されたダイパッド部と、上記ダイパッド部の上記同一面上に第1のダイアタッチ材によって固定された第1の半導体デバイスと、上記ダイパッド部の上記同一面上に第2のダイアタッチ材によって固定された第2の半導体デバイスと、を備え、上記第1の領域と上記第2の領域との境界または、上記第2の領域は、平面視において、上記第1の半導体デバイスと上記第2の半導体デバイスとの間に位置する構成である。

[0125] 上記構成によれば、上記第1の領域と上記第2の領域との境界または、上記第2の領域は、平面視において、上記第1の半導体デバイスと上記第2の半導体デバイスとの間に位置するようになっているので、第1のダイアタッチ材および第2のダイアタッチ材の一方が他方に乗り上がった領域が形成されたり、相互に混ざり合う領域が形成されるのを抑制できる。

[0126] したがって、限られたサイズのダイパッド部上に、複数個の半導体デバイスを近接させて並べて配置する場合においても、半導体デバイスがダイパッド部に対し、傾斜した状態で固定されてしまうようなことが生じないので、信頼性および歩留りが向上された半導体装置を実現できる。

[0127] 本発明の態様2における半導体装置は、上記第1の領域に上記第1の半導

体デバイスが固定され、上記第1の領域は、上記第1の半導体デバイスの形状に沿って、上記第2の領域に囲まれるように形成されていてもよい。

[0128] 上記構成によれば、より緻密で、かつ、位置ずれが少ないようにダイボンドされた半導体デバイスを備えた半導体装置を実現できる。

[0129] 本発明の態様3における半導体装置において、上記第1の半導体デバイスは、縦型のMOS型トランジスタを備えており、上記第2の半導体デバイスは、ラテラル型のトランジスタを備えたパワーデバイスであり、上記第1の半導体デバイスと上記第2の半導体デバイスとは、カスコード接続されている構成であってもよい。

[0130] 上記構成によれば、限られたサイズのダイパッド部上に、縦型のMOS型トランジスタを備えた上記第1の半導体デバイスと、ラテラル型のトランジスタを備えたパワーデバイスである上記第2の半導体デバイスと、を備えた半導体装置を実現できる。

[0131] 本発明の態様4における半導体装置において、上記第1のダイアタッチ材は、ハンダであってもよい。

[0132] 上記構成によれば、上記第1のダイアタッチ材は、熱伝導率の高いハンダを用いているので、上記第1の半導体デバイスの放熱性を向上できる。

[0133] 本発明の態様5における半導体装置において、上記第2のダイアタッチ材は、樹脂系の接着剤を含んでいてもよい。

[0134] 上記構成によれば、上記第2のダイアタッチ材は、樹脂系の接着剤を含んでいるので、上記第2のダイアタッチ材によって固定される上記第2の半導体デバイスにおいて、上記ダイパッド部の上記同一面と対向する面を、メタライズしなくてもよい。したがって、製造プロセスの簡略化と製造コストダウンを実現できる。

[0135] 本発明の態様6における半導体装置において、上記第2のダイアタッチ材は、金属性フィラーを含むことが好ましい。

[0136] 上記構成によれば、樹脂系の接着剤を含む上記第2のダイアタッチ材は、熱伝導率の高い金属性フィラーを含んでいるので、上記第2の半導体デバイ

スの放熱性を向上できる。

[0137] 本発明の態様 7 における半導体装置において、上記第 2 のダイアタッチ材は、銀フィラーを含んでいてもよい。

[0138] 上記構成によれば、樹脂系の接着剤を含む上記第 2 のダイアタッチ材は、熱伝導率の高い銀フィラーを含んでいるので、上記第 2 の半導体デバイスの放熱性を向上できる。

[0139] 本発明の態様 8 における半導体装置の上記第 2 の半導体デバイスにおいて、上記ダイパッド部の上記同一面と対向する面は、金属層を含まないことが好ましい。

[0140] 上記構成によれば、上記第 2 の半導体デバイスが、樹脂系の接着剤を含む上記第 2 のダイアタッチ材によって、上記ダイパッド部の上記同一面に固定される場合に、上記第 2 の半導体デバイスにおいて、上記ダイパッド部の上記同一面と対向する面は、金属層を含まないので、製造プロセスの簡略化と製造コストダウンを実現できる。

[0141] 本発明の態様 9 における半導体装置において、上記金属メッキは、銀を含有していることが好ましい。

[0142] 上記構成においては、銀メッキを用いているので、より信頼性および歩留りが向上された半導体装置を実現できる。

[0143] 本発明の態様 10 における半導体装置において、上記第 1 の領域と上記第 2 の領域とは、ストライプメッキ法を用いて形成されていることが好ましい。

[0144] 上記構成によれば、ストライプメッキ法を用いているので、より安価な半導体装置を実現できる。

[0145] 本発明の態様 11 における半導体装置において、上記第 1 の領域と上記第 2 の領域とは、部分メッキ法を用いて形成されていることが好ましい。

[0146] 上記構成によれば、部分メッキ法を用いているので、より緻密で、かつ、位置ずれの少ない半導体装置を実現できる。

[0147] 本発明の態様 12 における半導体装置において、上記第 1 のダイアタッチ



材と上記第2のダイアタッチ材とは、同一材料であってもよい。

[0148] 上記構成によれば、上記第1のダイアタッチ材と上記第2のダイアタッチ材とが、共通化されているので、工数低減および製造コストの低減を実現できる。

[0149] なお、本発明は、上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

### 産業上の利用可能性

[0150] 本発明は、複数の半導体デバイスを、ダイステージの同一平面上に固定した半導体装置に好適に利用することができる。

### 符号の説明

[0151]	1	リードフレーム
	2	ダイパッド部
	3	インナーリード部
	4	アウターリード部
	5	銀メッキ領域（第1の領域）
	6	非銀メッキ領域（第2の領域）
	7	境界
	7 a	境界
	8	フィン部
	9	丸孔
	10	半導体装置
	11	MOS-FET（第1の半導体デバイス）
	12	ハンダ（第1のダイアタッチ材）
	13	GaN-HEMT（第2の半導体デバイス）
	14	銀ペースト（第2のダイアタッチ材）
	15	アルミ線

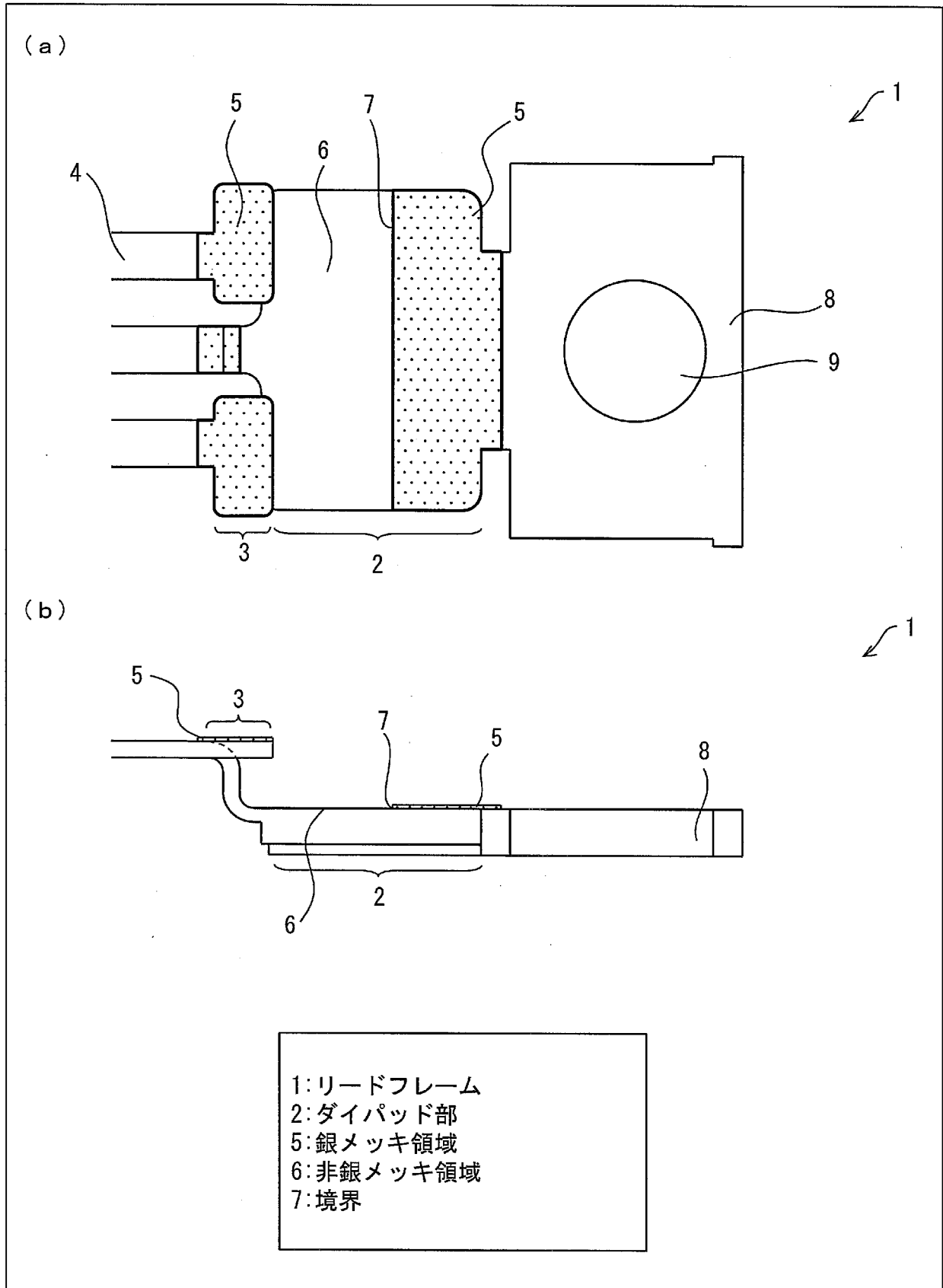
- 1 6 金線
- 1 7 銀メッキ領域
- 1 8 ハンダ（第2のダイアタッチ材）
- 2 0 多連状態のリードフレーム
- 3 0 リードフレーム
- 4 0 半導体装置
- 5 0 半導体装置
- 6 0 多連状態のリードフレーム
- 7 0 リードフレーム

## 請求の範囲

- [請求項1] 複数個の半導体デバイスを含む半導体装置であって、  
同一面上に、金属メッキされた第1の領域と、金属メッキされていない第2の領域とが形成されたダイパッド部と、  
上記ダイパッド部の上記同一面上に第1のダイアタッチ材によって固定された第1の半導体デバイスと、  
上記ダイパッド部の上記同一面上に第2のダイアタッチ材によって固定された第2の半導体デバイスと、を備え、  
上記第1の領域と上記第2の領域との境界または、上記第2の領域は、平面視において、上記第1の半導体デバイスと上記第2の半導体デバイスとの間に位置することを特徴とする半導体装置。
- [請求項2] 上記第1の領域に上記第1の半導体デバイスが固定され、  
上記第1の領域は、上記第1の半導体デバイスの形状に沿って、上記第2の領域に囲まれるように形成されていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 上記第1の半導体デバイスは、縦型のMOS型トランジスタを備えており、  
上記第2の半導体デバイスは、ラテラル型のトランジスタを備えたパワーデバイスであり、  
上記第1の半導体デバイスと上記第2の半導体デバイスとは、カスコード接続されていることを特徴とする請求項1または2に記載の半導体装置。
- [請求項4] 上記第1のダイアタッチ材は、ハンダであることを特徴とする請求項1から3の何れか1項に記載の半導体装置。
- [請求項5] 上記第2のダイアタッチ材は、樹脂系の接着剤を含むことを特徴とする請求項1から4の何れか1項に記載の半導体装置。

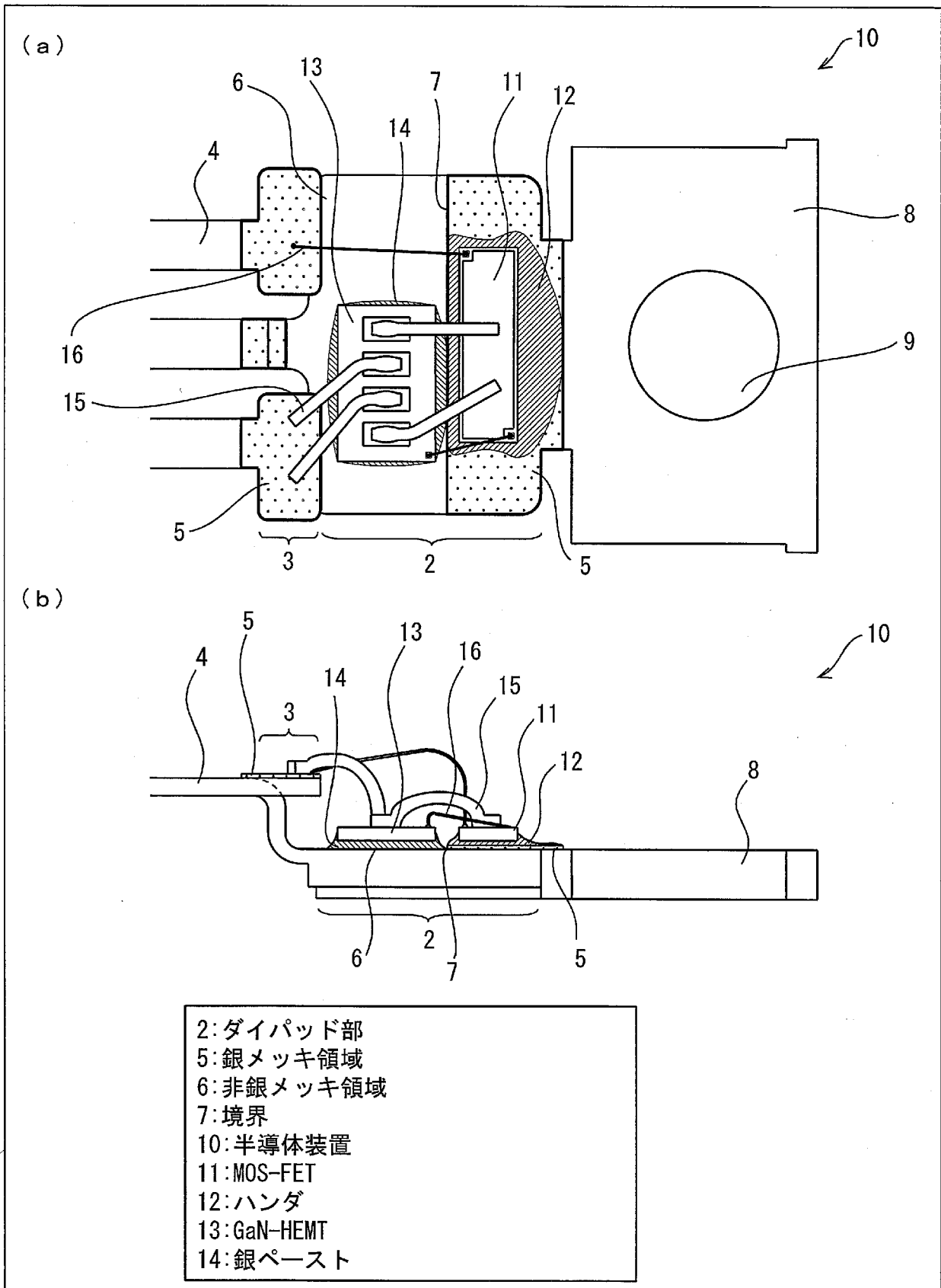
[図1]

図 1



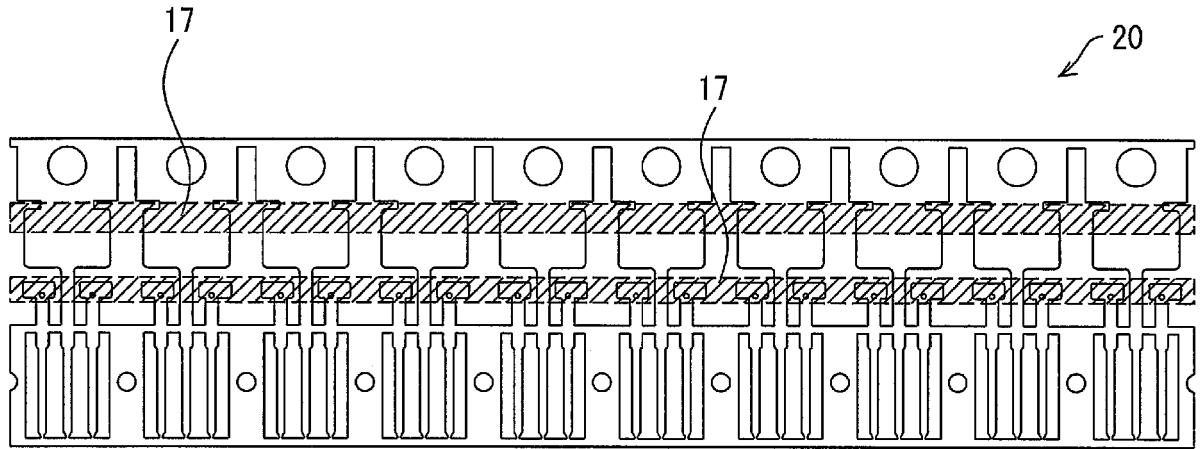
[図2]

図 2



[図3]

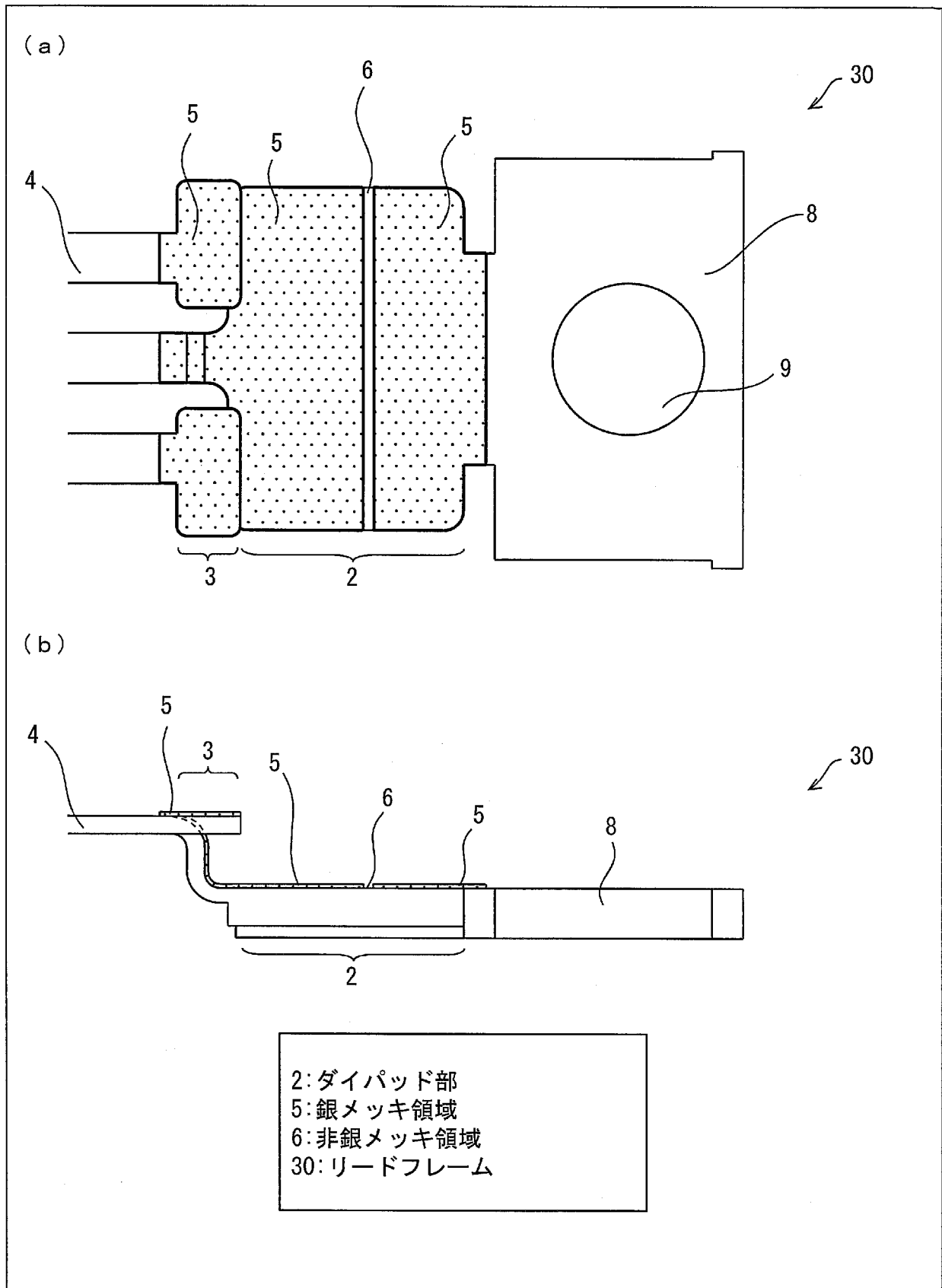
図 3



17:ストライプメッキ法によって形成された銀メッキ領域  
20:多連状態のリードフレーム

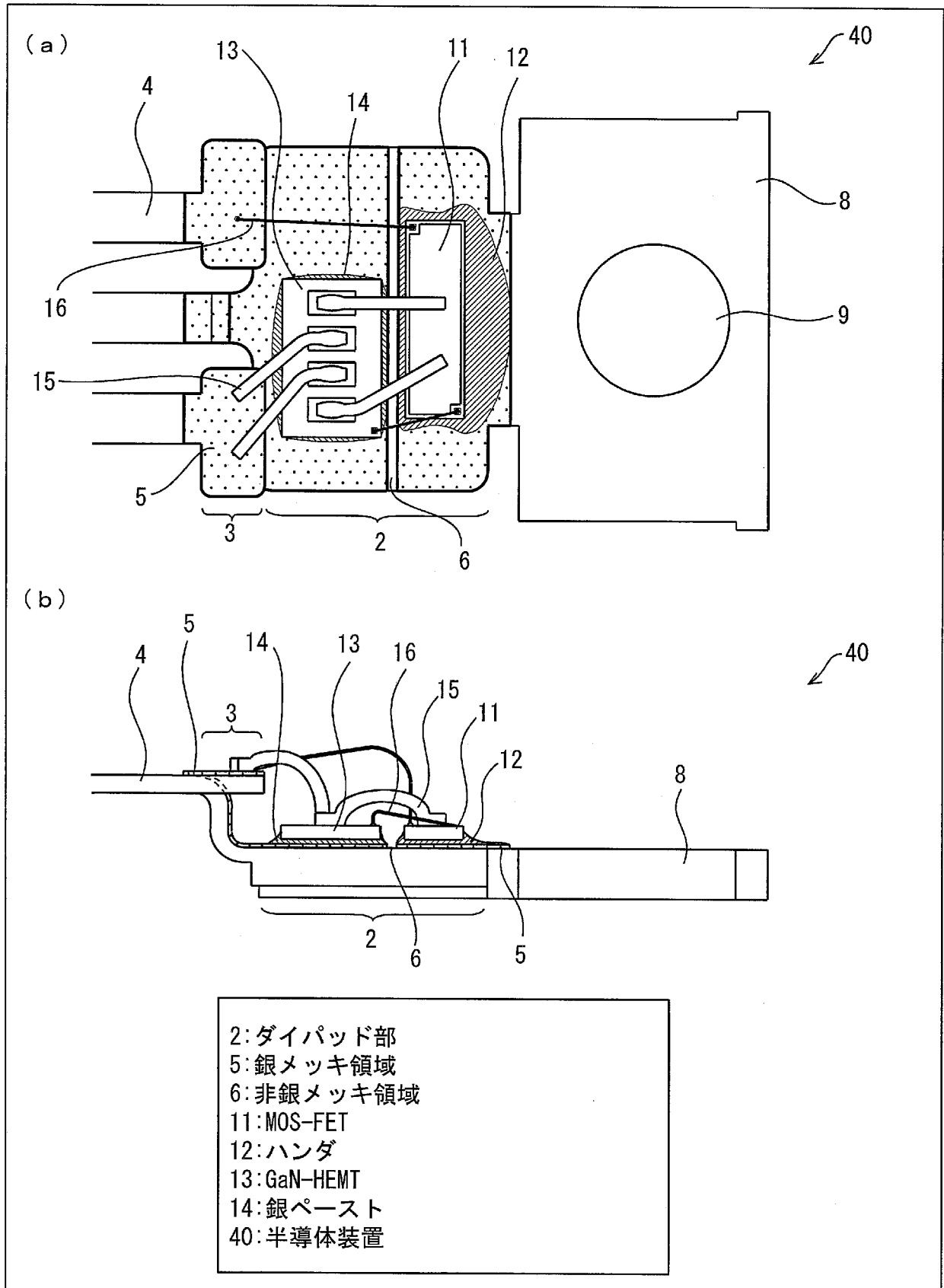
[図4]

図 4



[図5]

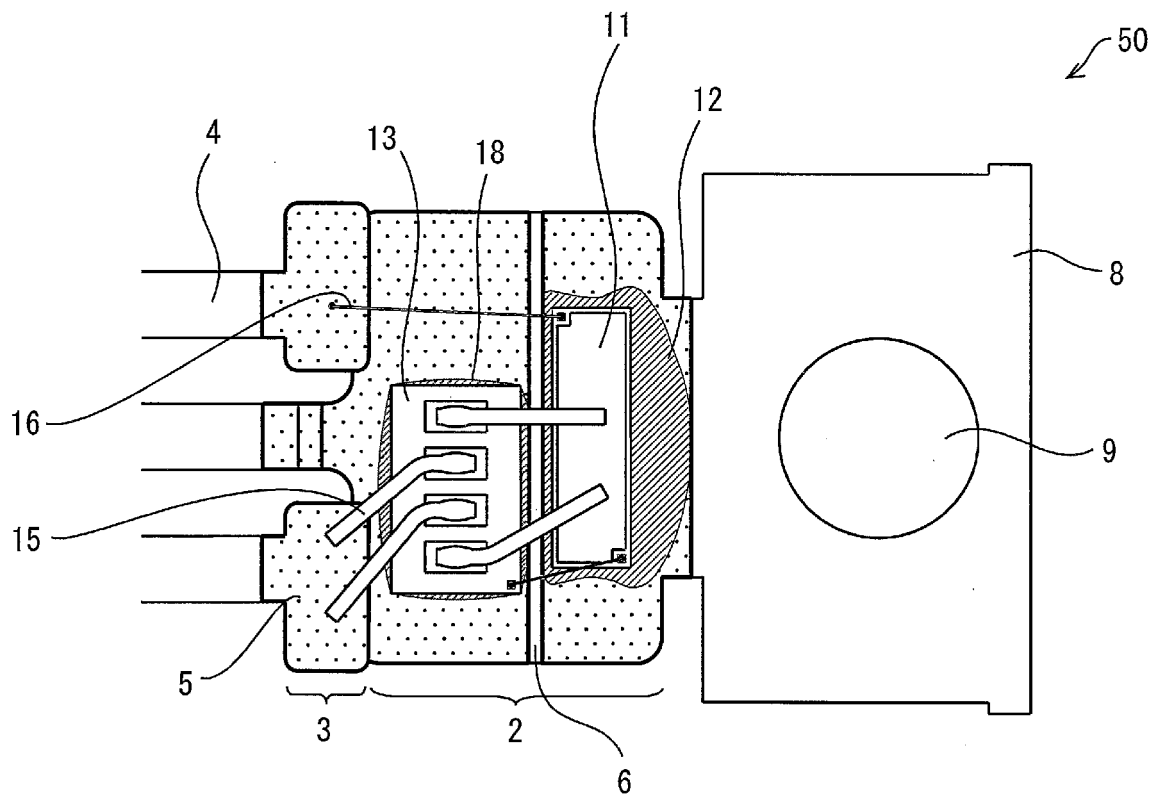
図 5





[図6]

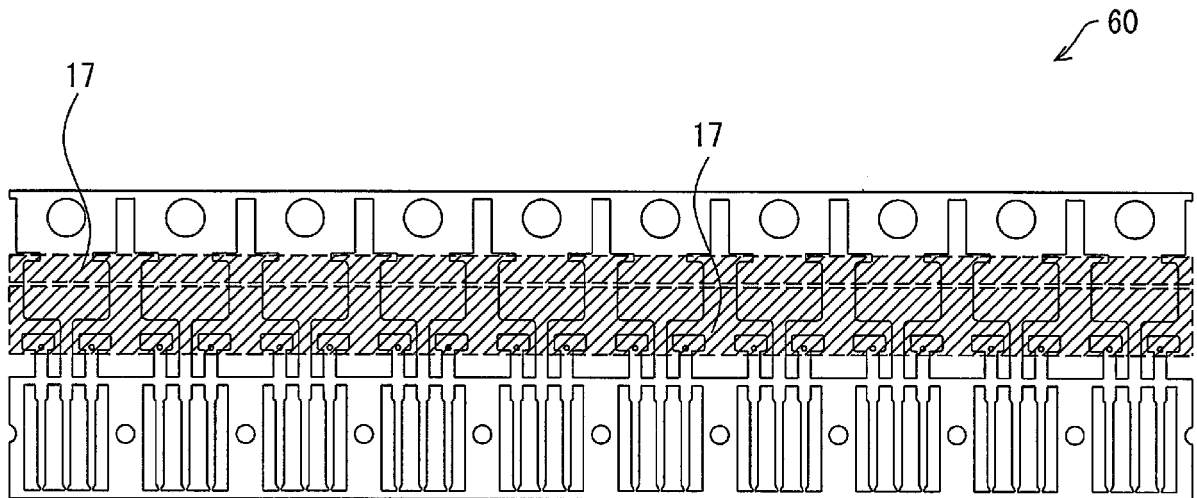
図 6



- 2: ダイパッド部  
 5: 銀メッキ領域  
 6: 非銀メッキ領域  
 11: MOS-FET  
 12:ハンダ  
 13GaN-HEMT  
 18:ハンダ  
 50: 半導体装置

[図7]

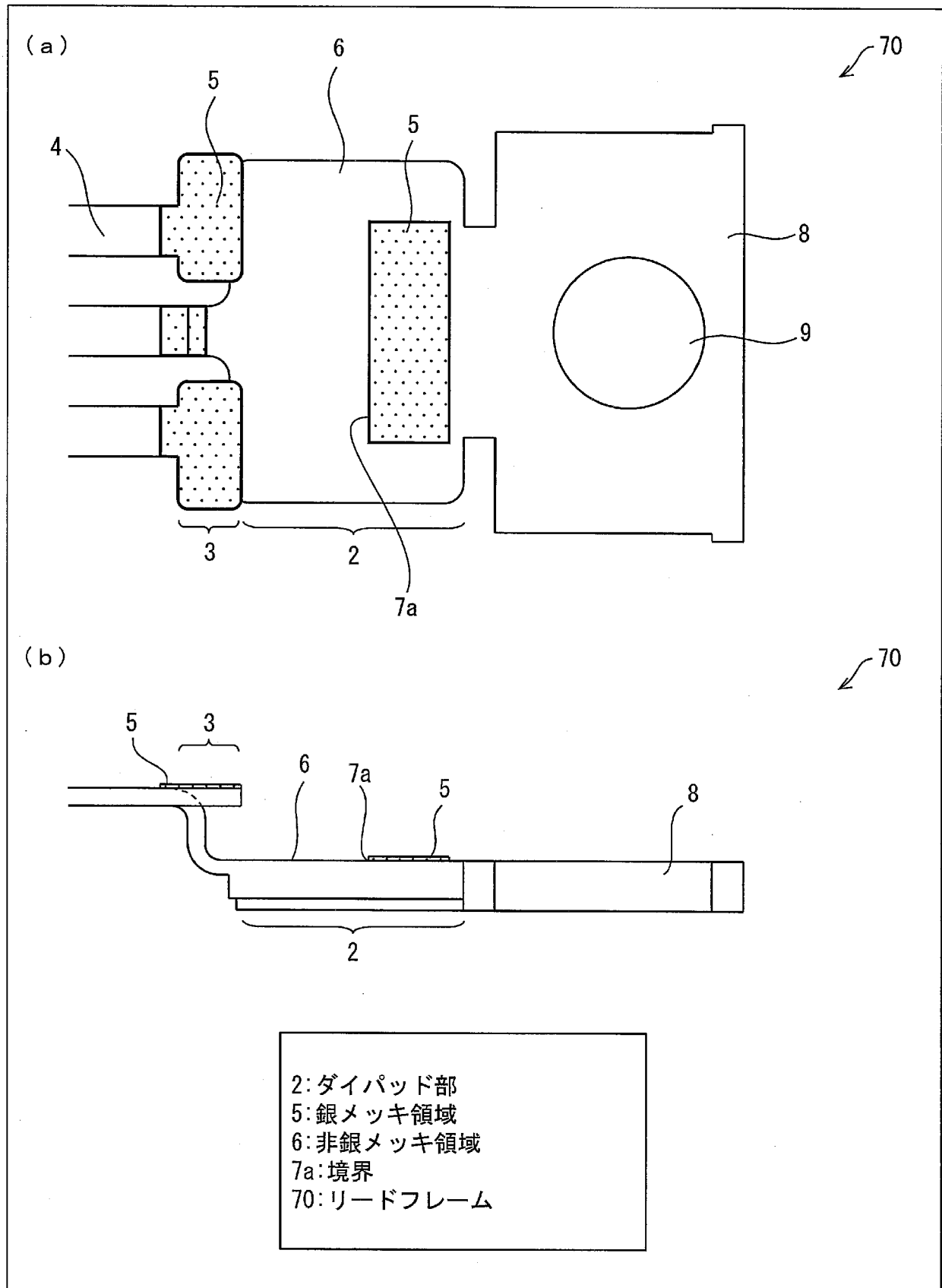
図 7



17: ストライプメッキ法によって形成された銀メッキ領域  
60: 多連状態のリードフレーム

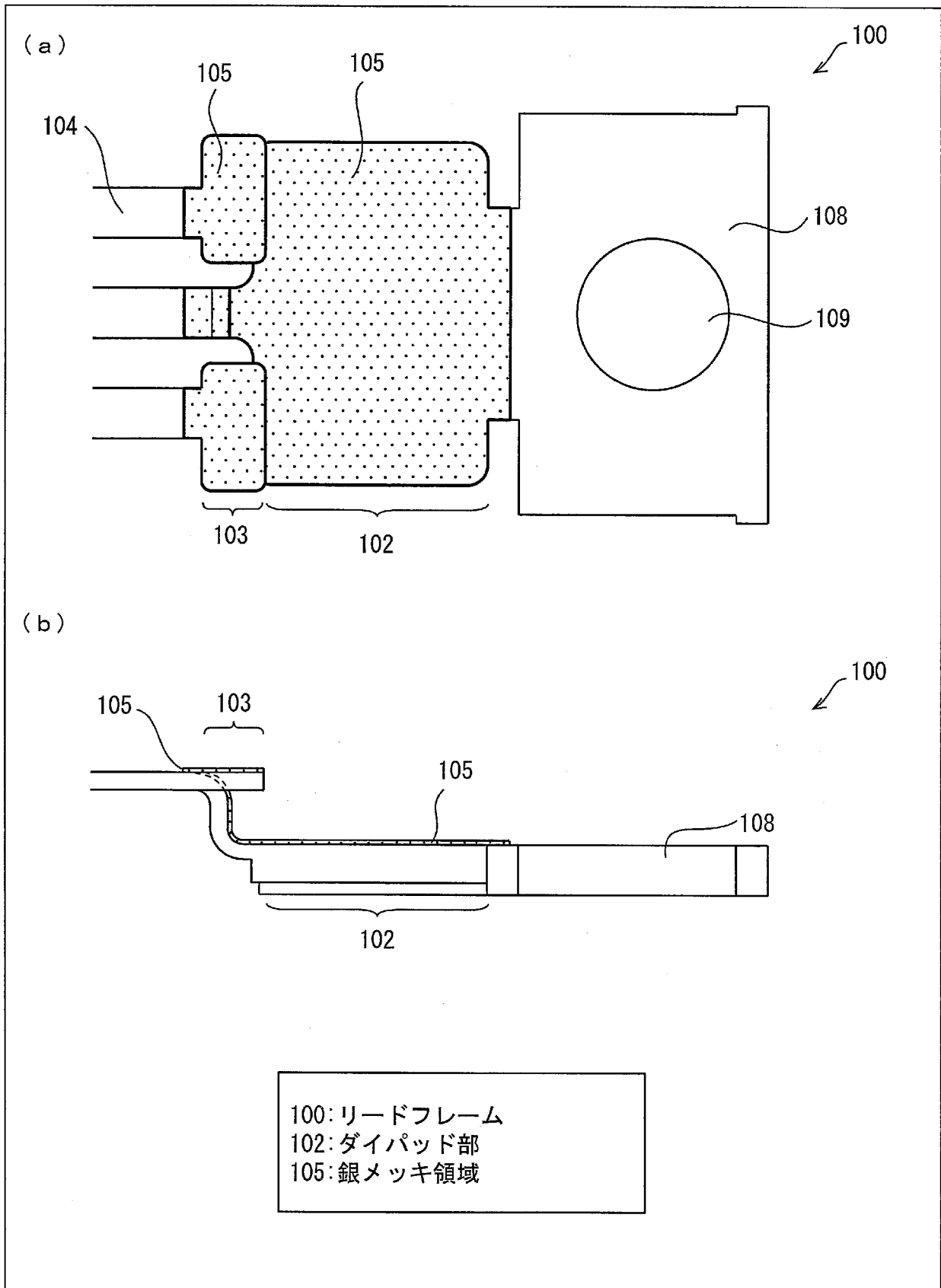
[図8]

図 8



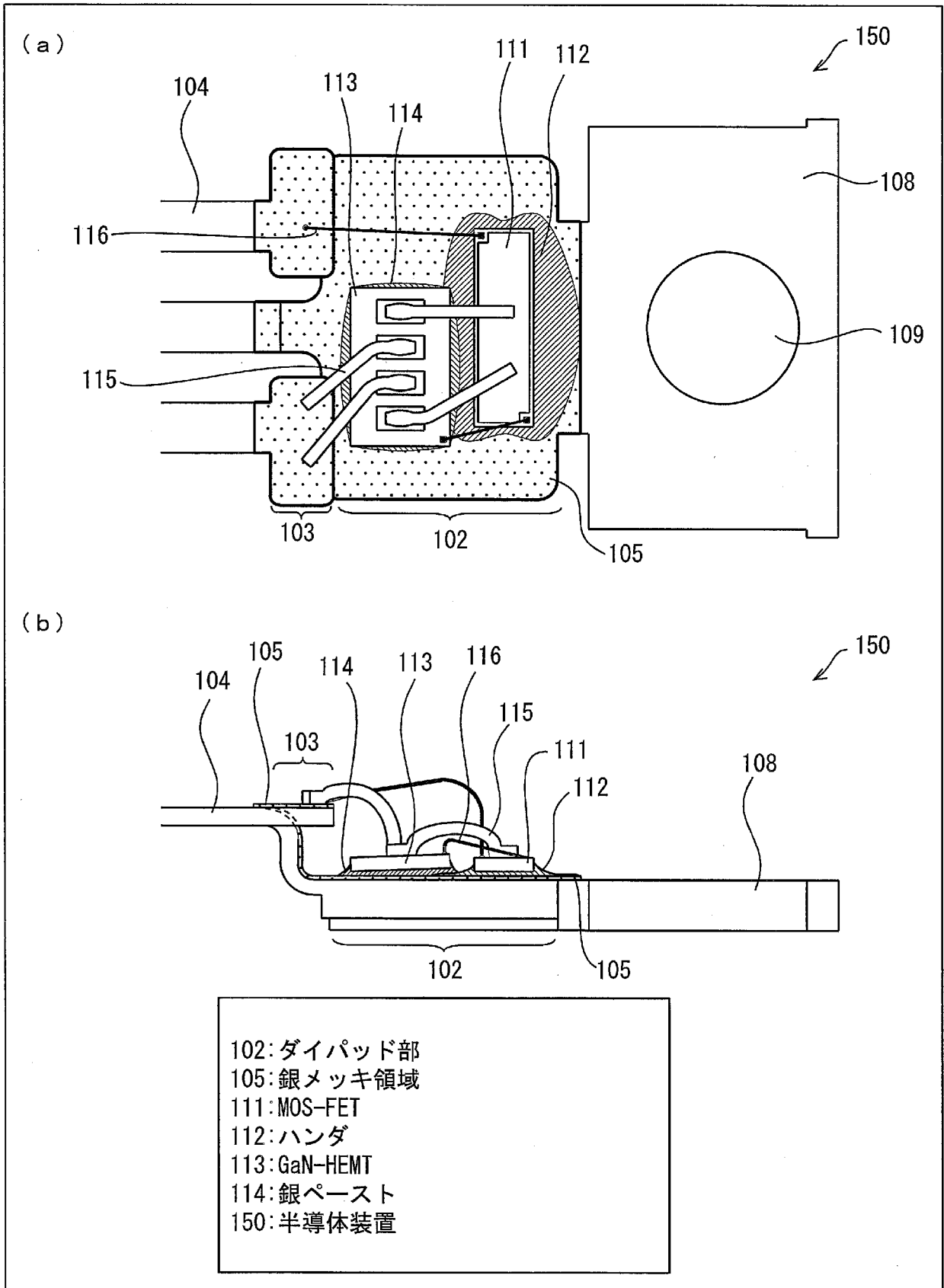
[図9]

図 9



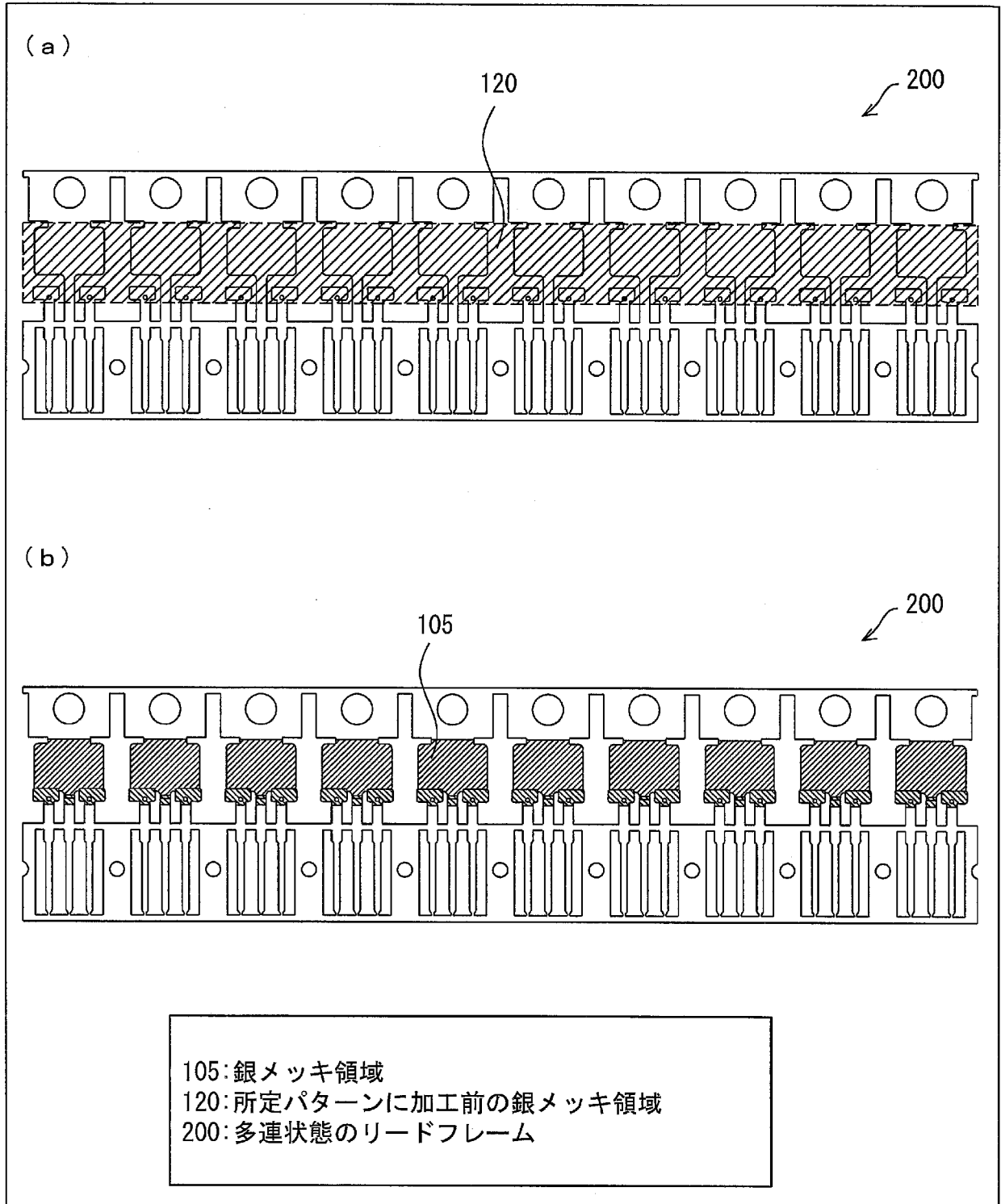
[図10]

図 10



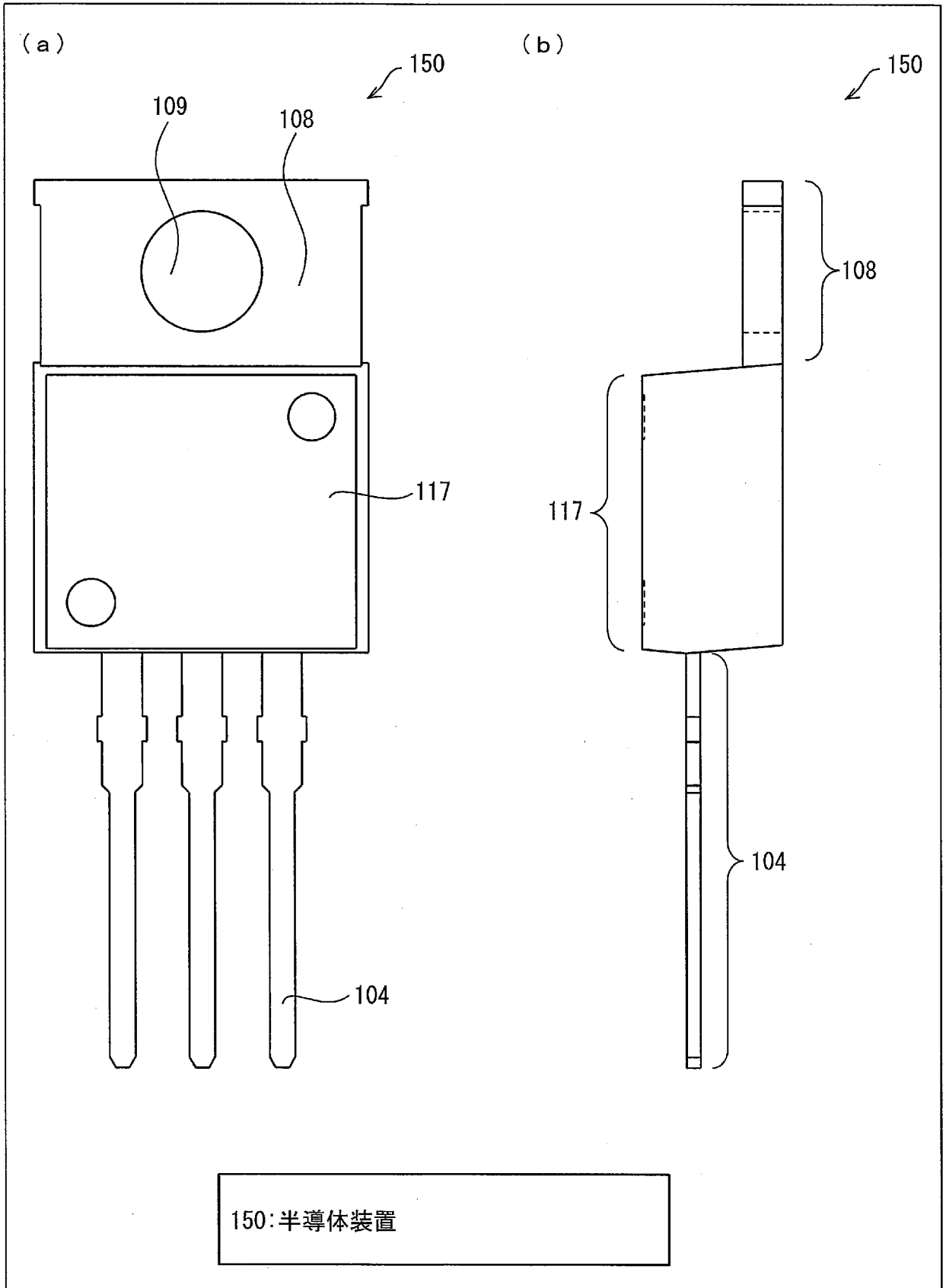
[図11]

図 11



[図12]

図 12



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/076902

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L23/12(2006.01)i, H01L21/52(2006.01)i, H01L23/48(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L23/12, H01L21/52, H01L23/48, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-236037 A (Mitsubishi Electric Corp.), 21 November 2013 (21.11.2013), paragraphs [0021] to [0027]; fig. 1 (Family: none)	1-2, 4 3, 5
Y	JP 2013-206942 A (Sharp Corp.), 07 October 2013 (07.10.2013), paragraphs [0031] to [0032], [0050], [0054], [0056] (Family: none)	3
Y	JP 2004-103642 A (Denso Corp.), 02 April 2004 (02.04.2004), paragraph [0038] (Family: none)	5

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
05 January 2015 (05.01.15)

Date of mailing of the international search report  
13 January 2015 (13.01.15)

Name and mailing address of the ISA/  
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2014/076902

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 79294/1990 (Laid-open No. 38060/1992) (Oki Electric Industry Co., Ltd.), 31 March 1992 (31.03.1992), page 4, line 14 to page 5, line 7; fig. 1 (Family: none)	1, 4-5
A	US 2013/0147016 A1 (International Rectifier Corp.), 13 June 2013 (13.06.2013), paragraph [0076]; fig. 2 & JP 2007-173831 A & DE 102006060768 A & KR 10-2007-0066970 A & IT TO20060910 A	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int.Cl. H01L23/12(2006.01)i, H01L21/52(2006.01)i, H01L23/48(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int.Cl. H01L23/12, H01L21/52, H01L23/48, H01L25/07, H01L25/18		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報	1922-1996年	
日本国公開実用新案公報	1971-2015年	
日本国実用新案登録公報	1996-2015年	
日本国登録実用新案公報	1994-2015年	
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-236037 A (三菱電機株式会社) 2013.11.21, [0021]-[0027], 図1 (ファミリーなし)	1-2, 4 3, 5
Y	JP 2013-206942 A (シャープ株式会社) 2013.10.07, [0031]-[0032], [0050], [0054], [0056] (ファミリーなし)	3
Y	JP 2004-103642 A (株式会社デンソー) 2004.04.02, [0038] (ファミ リリーなし)	5
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日	05.01.2015	国際調査報告の発送日
		13.01.2015
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 金田 孝之 電話番号 03-3581-1101 内線 3551	5D 3144

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	日本国実用新案登録出願 2-79294 号(日本国実用新案登録出願公開 4-38060 号)の願書に添付した明細書及び図面の内容を撮影したマイ クロフィルム (沖電気工業株式会社) 1992.03.31, 第 4 頁第 14 行- 第 5 頁第 7 行, 第 1 図 (ファミリーなし)	1, 4-5
A	US 2013/0147016 A1 (International Rectifier Corporation) 2013.06.13, [0076], Fig.2 & JP 2007-173831 A & DE 102006060768 A & KR 10-2007-0066970 A & IT T020060910 A	1-5